

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 5 月 13 日 (13.05.2004)

PCT

(10) 国際公開番号
WO 2004/040542 A1(51) 国際特許分類⁷: G09G 3/30, 3/20, H05B 33/12, 33/14

(21) 国際出願番号: PCT/JP2003/013608

(22) 国際出願日: 2003 年 10 月 24 日 (24.10.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2002-318065

2002 年 10 月 31 日 (31.10.2002) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 田村 光康

(TAMURA, Mitsuyasu) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 長谷川 洋 (HASEGAWA, Hiroshi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 佐藤 隆久 (SATO, Takahisa); 〒111-0052 東京都台東区柳橋 2 丁目 4 番 2 号 宮木ビル 4 階 創造国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

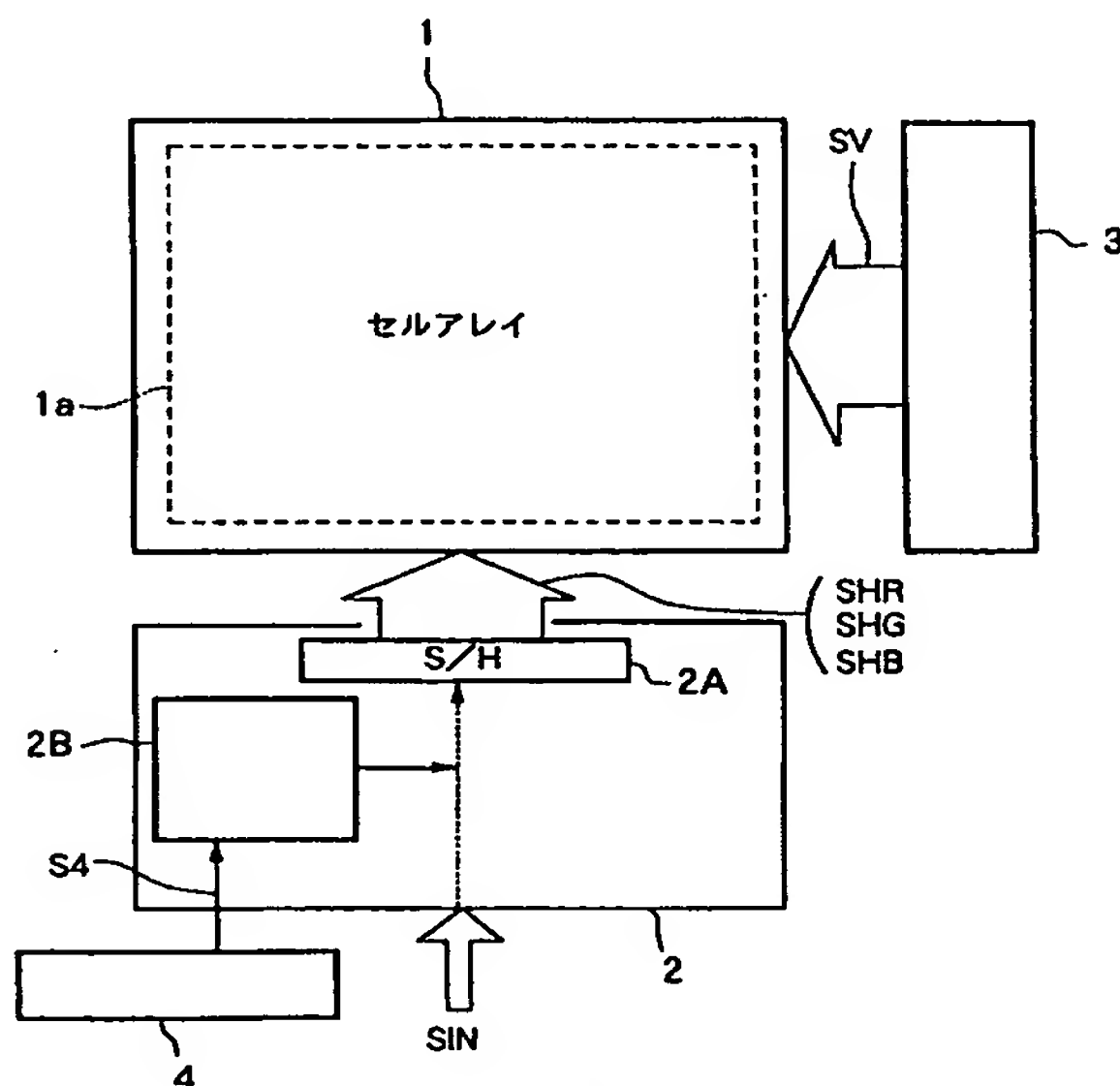
添付公開書類:

— 国際調査報告書

[続葉有]

(54) Title: IMAGE DISPLAY AND COLOR BALANCE ADJUSTING METHOD THEREFOR

(54) 発明の名称: 画像表示装置、および、その色バランス調整方法



2: 画像信号から駆動信号を生成する回路

2A: サンプルホールド回路

2B: レベル調整回路

3: Vスキャン回路

4: 調整情報取得手段

1a...CELL ARRAY

2...CIRCUIT FOR GENERATING DRIVE SIGNAL FROM IMAGE SIGNAL

2A...SAMPLE-AND-HOLD CIRCUIT

2B...LEVEL ADJUSTING CIRCUIT

3...V SCAN CIRCUIT

4...ADJUSTMENT INFORMATION ACQUIRING MEANS

(57) Abstract: An image display comprising a circuit (2) for generating drive signals (SHR, SHG, SHB) from an inputted image signal (SIN), a cell array (1) including light-emitting elements (EL) emitting lights of predetermined colors of red (R), green (G), and blue (B) when the drive signals (SHR, SHG, SHB) supplied from the circuit (2) for the respective colors are applied, adjustment information acquiring means (4) for acquiring information on emission adjustment of the light-emitting elements (EL), and level adjusting circuit (2B) provided in the circuit (2) and adapted to change the level of the RGB signal (S22) before divided into the drive signals (SHR, SHG, SHB) for the respective colors R, G, B according to the information from the adjustment information acquiring means (4). With such a small-scale circuit, the color balance can be adjusted simply.

(57) 要約: 入力される画像信号 (SIN) により駆動信号 (SHR, SHG, SHB) を生成する回路 (2) と、回路 (2) から色ごとに供給された駆動信号 (SHR, SHG, SHB) の印加により赤 (R)、緑 (G) または青 (B) の所定の色で発光する発光素子 (EL) を含むセルアレイ (1) と、発光素子 (EL) の発光調整に関する情報を取得する調整情報取得手段 (4) と、回路 (2) 内に設けられ、調整情報取得手段 (4) から得た情報に基づいて、RGB の色ごとの駆動信号 (SHR, SHG, SHB) に分けられるまえの RGB 信号 (S22) のレベルを変化させるレベル調整回路 (2B) と、を有する。本発明では、このような小規模の回路で簡単に色バランスの調整を行うことができる。



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

画像表示装置、および、その色バランス調整方法

5 技術分野

本発明は、入力される画像信号の輝度レベルに応じて発光する発光素子を画素内に有する画像表示装置、および、その輝度調整方法に関する。

背景技術

- 10 固定画素を有する画像表示装置として、現在最も普及している液晶ディスプレイは、バックライトを必要とするため、表示画像で高輝度を得るにはバックライトの発光量を上げる必要がある。ところが、バックライトの発光量を上げると、表示画像の輝度は高くなるが、液晶により完全に光を遮断することが不可能になるためコントラストが低下する。つまり、液晶ディスプレイでは表示画面の輝度
15 とコントラストがトレードオフの関係にあり、両者を高いレベルでバランスさせることが難しい。

この課題を解消できる画像表示装置として、画素内に発光素子を設け、その発光量により輝度が決まる自発光型画素を有する画像表示装置が知られている。

- 自発光型画素を有する画像表示装置として、たとえば、有機材料の電界発光
20 (EL: electro luminescence) 素子を用いた有機ELディスプレイが知られている。有機ELディスプレイは、比較的低電圧で高輝度を得られ、視野角依存性がなく、コントラストが高く、さらには応答性がよいため動画の表示性能に優れるなどの特長を有する。

- このように優れた特長を有する反面、有機ELディスプレイは経時的に画質が
25 変化するという課題がある。すなわち、有機EL素子に高い輝度を得るため大きな電流を流し続けると、長期間使用している間に発熱により有機EL素子を構成

する有機材料層と電極との界面、あるいは有機材料層の品質そのものが低下することが知られている。

有機EL素子の特性低下を改善するために、有機発光層および電極層等の材料面での改善が進められている。

- 5 その一方、有機EL素子などを用いた自発光型画素の長寿命化のために、輝度を自動調整する技術が知られている。

このうち、必要以上に発光素子に電流が流れることを防止して、発光素子の長寿命化を図る技術として、たとえば、発光素子に流れる電流を、複数の発光素子に共通の電圧供給線で検出し、検出結果に基づいて画像の輝度を最適化するパネルの駆動制御技術が知られている（たとえば、特許文献1：日本国公開特許公報
10 2002-215094号の第4頁から第6頁の第1および第2の実施の形態、第1図および第3図参照）。特許文献1には、有機EL素子の発光輝度の制御方法として、2つの方法が開示されている。

第1の方法は、水平走査線により駆動されるTFTトランジスタ、および、T
15 TFTトランジスタと直列に接続された有機EL素子に印加される駆動電圧を可変にして、上記電流の検出結果に基づいて、この駆動電圧を最適化するというものである。

第2の方法は、上記電流の検出結果に基づいて、発光時間のデューティ比、すなわち発光時間を制御する信号のパルス幅を変化させるというものである。

20 有機ELパネルの画面表示領域内の各画素に使用される赤（R）、緑（G）、青（B）の発光材料は色ごとに異なり、発光にともなう経時的な劣化特性も色ごとに異なることが分かっている。この場合、画像表示の初期の段階と、ある程度の時間が経過した段階とでは色バランスが異なってくるため、高品位な画質を長期間（たとえば、10年以上）維持するには何らかの画質（色バランス）調整機構が
25 必要となる。また、パネルの製造ばらつきにより、製造品の色バランスが設計値と異なることもあり、この点でも色バランス調整機構が必要となる。

ところが、上記の特許文献 1 に記載された第 1 の方法および第 2 の方法を、この色バランスの調整に適用しようとした場合、特許文献 1 の第 1 図に記載された駆動電圧コントローラ、あるいは第 2 図に記載されたデューティ比コントローラが、色ごとに必要である。このため色バランスの調整回路が大規模となり、チップコストを上昇させるという第 1 の課題がある。上記特許文献 1 には、色ごとの調整の具体的な方法が開示されていない。

また、とくに第 2 の方法、すなわち発光時間を制御する信号のデューティ比を変化させる方法では、有機 EL 素子の駆動電圧レベルを一定とするため、第 1 の方法に比べ発光素子特性の劣化を加速させにくく消費電力が抑制されるという利点があるが、ディスプレイパネルの駆動周波数によっては表示画像の品位に影響を与える。つまり、画素数が多い大画面で垂直および水平の駆動周波数が高い場合、発光時間を短くするとフリッカと呼ばれる画面のちらつき感が増大することがある。また、とくに動画の場合に発光時間を長くすると、フィールド間あるいはフレーム間で画面が切り替わる瞬間で画像がぼけたように見えることがある。つまり、有機 EL パネルは発光時間が長いと、1 水平期間にわたって光を出している LCD ディスプレイなどのホールド型のディスプレイに近い画面表示となり、動画特性が低下する。したがって、有機 EL ディスプレイにおいては、画素の発光時間は動作周波数に対し最適な範囲があるため、発光時間を制御する第 2 の方法のみでは、その制御に限界があるという第 2 の課題がある。

発明の開示

本発明の第 1 の目的は、小規模の回路で簡単に色バランスの調整ができる画像表示装置、および、その色バランスの調整方法を提供することにある。

本発明の第 2 の目的は、できるだけ小規模の回路で発光素子特性の低下および消費電力を極力抑制しながら画像の動きに応じてそれぞれ適した色バランスの調整ができる画像表示装置、および、その色バランスの調整方法を提供することに

ある。

本発明の第 1 の観点の画像表示装置は、上記の第 1 の課題を解決し上記の第 1 の目的を達成するためのものであり、入力される画像信号 (SIN) により駆動信号 (SHR, SHG, SHB) を生成する回路 (2) と、上記回路 (2) から
5 色ごとに供給された上記駆動信号 (SHR, SHG, SHB) の印加により赤 (R)、緑 (G) または青 (B) の所定の色で発光する発光素子 (EL) を含む複数の画素 (Z) と、上記発光素子 (EL) の発光調整に関する情報を取得する調整情報取得手段 (4) と、上記回路 (2) 内に設けられ、上記調整情報取得手段 (4) から得た上記情報に基づいて、RGB の色ごとの上記駆動信号 (SHR, SHG, SHB) に分けられるまえの RGB 信号 (S22) のレベルを変化させる
10 レベル調整回路 (2B) と、を有する。

好ましくは、上記レベル調整回路 (2B) は、上記回路 (2) 内の回路ブロック (21) に供給され、上記発光素子 (EL) の輝度に比例する直流電圧 (VREF) のレベル (V0~V5) を変化させる。

15 さらに好ましくは、所定の色配列で繰り返し配置された上記複数の画素 (Z) を色ごとに接続する複数のデータ線 (Y) と、上記 RGB 信号 (S22) を構成する時系列の画素データを RGB の色ごとに保持し、色ごとに保持した画素データを上記駆動信号 (SHR, SHG, SHB) として、対応した複数の上記データ線 (Y) に並列に出力するデータ保持回路 (2A) と、をさらに有し、上記
20 レベル調整回路 (2B) は、異なる色の画素データが上記データ保持回路 (2A) に入力されるタイミングで、上記直流電圧 (VREF) のレベル (V0~V5) を、上記調整情報取得手段 (4) から得た上記情報に基づいて必要な回数変化させることによって、少なくとも 1 色の上記駆動信号 (SHR, SHG, SHB) のレベルを調整する。

25 このレベル調整は、より望ましくは、画素データを保持するサンプルホールド信号 (S_{s/H})、あるいは、これに同期した制御信号 (S4B) を用いて行う。

本発明の第1の観点の画像表示装置の色バランス調整方法は、上記第1の課題を解決し上記の第1の目的を達成するためのものであり、入力される駆動信号

(SHR, SHG, SHB) に応じて赤(R)、緑(G)または青(B)の所定の色で発光する発光素子(EL)を含む複数の画素(Z)を有する画像表示装置
5 の色バランス調整方法であって、上記発光素子(EL)の発光調整に関する情報を取得するステップと、上記発光調整に関する情報に基づいて、RGBの色ごとの上記駆動信号(SHR, SHG, SHB)に分けられるまえのRGB信号(S22)のレベルを変化させるステップと、上記RGB信号(S22)を構成する時系列の画素データを色ごとに分けて、上記駆動信号(SHR, SHG, SHB)を生成し、対応する上記画素(Z)に供給するステップと、を含む。
10

好ましくは、上記RGB信号(S22)のレベルを変化させるステップでは、画像信号(SIN)を信号処理し上記駆動信号(SHR, SHG, SHB)を生成する回路(2)内の回路ブロック(21)に供給され、上記発光素子(EL)の輝度に比例する直流電圧(VREF)のレベル(V0~V5)を変化させる。

さらに好ましくは、上記駆動信号(SHR, SHG, SHB)を生成する際に、
15 上記RGB信号(S22)を構成する時系列の画素データをRGBの色ごとに保持する保持ステップを含み、上記RGB信号(S22)のレベルを変化させるステップでは、異なる色の画素データが上記保持ステップに入力されるタイミングで、上記直流電圧(VREF)のレベル(V0~V5)を、上記調整情報取得手段(4)から得た上記情報に基づいて必要な回数変化させることによって、少なくとも1色の上記駆動信号(SHR, SHG, SHB)のレベルを調整する。
20

第1の観点では、入力される画像信号(SIN)が各種の信号処理を経て、色ごとの駆動信号(SHR, SHG, SHB)が生成される。その生成の過程で、色ごとの駆動信号に分けられる前の画像信号(RGB信号(S22))に対して、
25 レベル調整が実行される。一つのレベル調整方法として、ある回路ブロック(21)に供給される直流電圧(VREF)のレベル(V0~V5)を変化させる。

この直流電圧レベルは、発光素子（E L）の輝度に相関しており、その直流電圧レベル（V 0～V 5）を変化させると、回路ブロック（2 1）の出力側でR G B信号（S 2 3）のレベルが変化する。レベル変化後のR G B信号（S 2 3）は、色ごとの駆動信号（S H R，S H G，S H B）に分けられる。この処理では、R G B信号を色ごとにデータ保持し、必要なデータ数が揃ったら、対応する色の画素（Z）が接続された複数のデータ線（Y）に、当該保持されたデータが一斉に出力される。つまり、時系列のR G B信号（S 2 3）がシリアルーパラレル変換されて、色ごとの駆動信号（S H R，S H G，S H B）が生成され、これにより所定の色配列で配置された複数の画素（Z）が所定の色で発光する。

- 10 上記直流電圧（V R E F）のレベルの調整量は、予め取得した、発光素子の発光調整に関する情報に基づいて決められる。この情報により特定の色の画素のみ発光量の調整が必要である場合は、その特定の色の画素データが上記シリアルーパラレル変換時に保持されるタイミングで、その変換前のR G B信号に比例した上記直流電圧（V R E F）のレベルを変化させる。このレベル調整のタイミング
- 15 制御は、たとえばサンプルホールド信号（S_{S/H}）、あるいは、これに同期した信号（S 4 B）を用いて行う。

- 本発明の第2の観点の画像表示装置は、上記の第2の課題を解決し上記の第2の目的を達成するためのものであり、入力される画像信号（S I N）により駆動信号（S H R，S H G，S H B）を生成する回路（2）と、上記回路（2）から
- 20 色ごとに供給された上記駆動信号（S H R，S H G，S H B）の印加により赤（R）、緑（G）または青（B）の所定の色で発光する発光素子（E L）を含む複数の画素（Z）と、を有し、上記回路（2）が、上記画像信号（S I N）により動きを検出する動き検出回路（2 2 B）と、上記動き検出回路（2 2 B）から得た動き検出の結果に基づいて、R G Bの色ごとの上記駆動信号（S H R，S H G，S H B）に分けられるまえのR G B信号（S 2 2）のレベルを変化させるレ
- 25 ベル調整回路（2 B）と、上記動き検出の結果に基づいて、上記画素（Z）の発

光時間のデューティ比を変化させるデューティ比調整回路（70）と、を含む。

本発明の第2の観点の画像表示装置の色バランス調整方法は、入力される画像信号（SIN）を信号処理して生成された駆動信号（SHR, SHG, SHB）に応じて赤（R）、緑（G）または青（B）の所定の色で発光する発光素子（EL）を含む複数の画素（Z）を有する画像表示装置の色バランス調整方法であって、表示する画像の動きを上記画像信号（SIN）から検出するステップと、上記動きの検出結果に基づいて、RGBの色ごとの上記駆動信号（SHR, SHG, SHB）に分けられるまえのRGB信号（S22）のレベルを変化させるステップと、上記検出結果に基づいて、上記発光素子（EL）の発光時間を制御するパルスのデューティ比を変化させるステップと、を含む。

第2の観点では、駆動信号（SHR, SHG, SHB）を生成する前に、表示する画像が動画であるか静止画であるかが動き検出によって検出される。この検出の結果に基づいて、上記RGB信号（S22）のレベルを変化させることによって色ごとの駆動信号（SHR, SHG, SHB）のレベルを調整する、あるいは、発光時間を制御するパルスのデューティ比を変化させる。このとき、適正化された時間だけ発光素子（EL）が発光する。

図面の簡単な説明

図1は、第1の実施の形態の有機ELディスプレイ装置の構成を示すブロック図である。

図2は、第2の実施の形態の画素の構成を示す回路図である。

図3は、第2の実施の形態にかかり、図1の構成の詳細な一構成例を示すディスプレイ装置のブロック図である。

図4は、レベル調整回路の第1の構成例を示す回路図である。

図5は、レベル調整回路の第2の構成例を示す回路図である。

図6は、レベル調整回路の第3の構成例を示す回路図である。

図7は、ドライバICの入出力特性を示すグラフである。

図8は、有機ELパネルの入力電圧と輝度との関係を示すグラフである。

図9は、信号処理における画像信号のデータ配列変化の例を示す説明図である。

図10は、経時変化を説明する有機EL素子のI-V特性を示すグラフである。

5 図11は、ある色の有機EL素子の輝度の経時変化を示すグラフである。

図12は、第3の実施の形態における電圧検出のための回路を示す回路図である。

図13は、より精度が高い補正を行うことができるレベル調整回路の構成を示すブロック図である。

10 図14は、第4の実施の形態のレベル調整に関する回路の第1の構成例を示す回路図である。

図15は、第4の実施の形態のレベル調整に関する回路の第2の構成例を示す回路図である。

15 図16は、第5の実施の形態のレベル調整に関する回路の構成を示す回路図である。

図17は、第6の実施の形態のレベル調整に関する回路の構成を示す回路図である。

図18は、第7の実施の形態の有機ELディスプレイ装置の構成を示すブロック図である。

20 図19は、発光時間制御が可能な画素の構成例を示す回路図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を、図面を参照して説明する。本発明が適用できる画像表示装置（ディスプレイ）は、各画素に発光素子を有する。発光素子は、有機EL素子に限らないが、以下の説明では、有機EL素子を例として説明する。

有機ELディスプレイの画素構成および駆動方式としては、単純（パッシブ）

マトリクス方式とアクティブマトリクス方式がある。ディスプレイの大型化、高精細化を実現するには、単純マトリクス方式の場合は、各画素の発光期間が走査線（すなわち、垂直方向の画素数）の増加によって減少するため、瞬間的に各画素の有機EL素子が高輝度で発光することが要求される。一方、アクティブマトリクス方式の場合は、各画素が1フレームの期間にわたって発光を持続するため、ディスプレイの大型化、高精細化が容易である。本発明は単純マトリクス方式、アクティブマトリクス方式の双方に適用できる。

また、駆動方式も、一定電流で駆動する方法、一定電圧で駆動する方法があり、本発明は、いずれの方法にも適用できる。

- 10 以下、アクティブマトリクス方式の有機LEディスプレイ装置を、一定電流で駆動する場合を例とし、これを中心に実施の形態を説明する。

第1の実施の形態

図1は、本実施の形態の有機ELディスプレイ装置の構成を示すブロック図である。図2は、本実施の形態の画素の構成を示す回路図である。

- 15 図1に図解したディスプレイ装置は、行方向の複数の走査線と列方向の複数のデータ線の各交点に有機EL素子を有する画素が所定の色配列で行列状に多数配置されたセルアレイ1と、入力されるアドレス信号に応じてデータ線に接続され、入力された画像信号に必要な信号処理を施してセルアレイ1のデータ線に供給する信号処理・データ線駆動回路2を有する。

- 20 また、ディスプレイ装置は、走査線に接続され、所定の周期で走査線に走査信号SVを印加する走査線駆動（Vスキャン）回路3を有する。

- 図2に示すセルアレイ1において、Vスキャン回路3に接続された走査線X(i), X(i+1), ...と、サンプルホールド回路2Aに接続されたデータ線Y(j), Y(j+1), ...とが互いに交差して配線されている。各走査線X(i), X(i+1), ...とデータ線Y(j), Y(j+1), ...とが交わる部分で、双方の配線に各画素Z(i, j), Z(i+1, j), ...が接続されている。各画素Z
- 25

は、有機EL素子EL、データ保持用のキャパシタC、データ入力制御用の薄膜トランジスタTRa、バイアス電圧制御用の薄膜トランジスタTRbから構成されている。

データ線YとグラントラインGDLとの間に、トランジスタTRaとキャパシタCが直列に接続され、トランジスタTRaのゲートが走査線Xに接続されている。また、各画素に共通の電源ラインVDLとグラントラインGDLとの間に、有機EL素子ELとトランジスタTRbとが直列に接続されている。トランジスタTRbのゲートは、キャパシタCとトランジスタTRaとの接続中点に接続されている。

とくに図示しないが、各有機EL素子ELは、たとえば、透明ガラス等からなる基板の上に、透明導電層などからなる第1電極（アノード電極）、正孔輸送層、発光層、電子輸送層、電子注入層を順次堆積させて有機膜を構成する積層体を形成し、この積層体の上に第2電極（カソード電極）を形成した構造を有する。アノード電極が電源ラインVDLに電氣的に接続され、カソード電極がグラントラインGDL側に電氣的に接続される。これらの電極間に所定のバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に発光する。有機EL素子は、有機膜を構成する有機材料を適宜選択することでRGBの各色での発光が可能であることから、この有機材料を、たとえば各行の画素にRGBの発光が可能に配列することで、カラー表示が可能となる。

このように構成されたセルアレイ1において、たとえば画素Z(i, j)に赤色の画素データを表示させる場合、走査線X(i)を選択して走査信号SVを印加する。また、データ線Y(j)に画素データに応じた電流（電圧でも可）の駆動信号SHRを印加する。これにより、画素Z(i, j)におけるデータ入力制御用のトランジスタTRaがオン状態になり、データ線Y(j)の駆動信号SHRから電荷がトランジスタTRaを介してトランジスタTRbのゲートに入力される。このため、トランジスタTRbのゲート電位が上昇し、これに応じた電流

がトランジスタ T R b のソースとドレイン間に流れ、さらに、当該電流がトランジスタ T R b に接続された発光素子 E L に流れる。これにより画素 Z (i , j) の発光素子 E L が駆動信号 S H R の赤色画素データに対応する輝度で発光する。緑色の画素データは駆動信号 S H G を用い、青色の画素データは駆動信号 S G B を用いて、それぞれ同様に表示できる。

このセルにおいては、主に、キャパシタ C の容量とトランジスタ T R b のゲート容量等で決まる合成容量と、駆動信号による電荷供給能力とに応じて蓄積電荷量が決まる。蓄積電荷量が大きいと発光時間が長く持続する。蓄積電荷量は、通常、動画の画像ぼけやフリッカが生じない最適な範囲に設定されている。

10 本実施の形態における信号処理・データ線駆動回路 2 は、データ線駆動信号 S H R , S H G , S H B を生成する際に、アナログの画像信号を色ごとに一時保持するサンプルホールド回路 2 A と、サンプルホールドする前の時系列の信号（以下、R G B 信号）のレベルを調整するレベル調整回路 2 B を有する。

また、ディスプレイ装置は、発光調整のための情報を取得し、この情報を上記
15 レベル調整回路 2 B に提供する調整情報取得手段 4 を有する。調整情報取得手段 4 は、製造時にずれた色バランスを調整ために、たとえば外部からの操作によって与えられた情報を入力する入力手段であってもよい。あるいは、レベル調整が発光素子の特性低下防止のためである場合に、発光素子の特性低下量を直接測定する手段、測定対象となるリファレンス画素、測定結果をレベル調整に反映させるための制御手段、さらには、レベル調整値と特性低下量との関係を記憶した記憶手段などが、この調整情報取得手段 4 の実施態様に該当する。調整情報取得手段 4 は、上記目的に応じて信号処理・データ線駆動回路 2 内、セルアレイ 1 内、あるいは、それらの外部に設けられる。調整情報取得手段 4 の構成例は、後述する他の実施の形態で述べる。

25 調整情報取得手段 4 からの色バランス調整に関する情報 S 4 は、レベル調整回路 2 B に入力され、この情報 S 4 に基づいてレベル調整回路 2 B が、R G B 信号

のレベルを調整する。

第2の実施の形態

第2の実施の形態では、より詳細なディスプレイ装置の構成と、製造時にずれた色バランスの調整方法について説明する。

5 図3は、図1の構成の詳細な一構成例を示すディスプレイ装置のブロック図である。

図3に示すディスプレイ装置は、データ線駆動信号を生成するサンプルホールド回路2AとVスキャン回路3が、セルアレイ1とともにディスプレイパネル10内部に設けられている。ディスプレイパネル10の外の回路基板に、信号処理回路22とドライバICが設けられている。

信号処理回路22は、たとえば、解像度変換、IP (Interlace-Progressive) 変換、ノイズ除去等の必要なデジタル信号処理を入力画像信号SINに施す。

15 ドライバICは、信号処理後の画像信号（デジタル信号）をアナログ信号に変換し、かつパラレルーシリアル変換する。この変換後のシリアルーアナログRGB信号は、サンプルホールド回路2Aに入力される。サンプルホールド回路2Aは、シリアルーアナログRGB信号を色ごとの信号に分けてデータ線の駆動信号SHR, SHG, SHBを生成する。ドライバICは、信号送出回路21とレベル調整回路2Bとを有し、さらに、信号送出回路21内に、デジタルのRGB信号をアナログのRGB信号に変換するデジタルーアナログ変換器(DAC: D/Aコンバータ)23を有する。

第2の実施の形態において、レベル調整回路2Bの出力が、D/Aコンバータ23の基準電圧VREFの入力に接続されている。レベル調整回路2Bは、この基準電圧VREFの電位を、たとえばV0～V5の6レベルに切り替える。D/Aコンバータは、一般に、供給される基準電圧値が多いほど高い変換能力を発揮する。

D/Aコンバータ23の構成は任意であるが、基準電圧 V_{REF} によって出力レベルがほぼ線形に変化することが望ましい。線形性が比較的良好でIC化が可能なものとしては、たとえば電流加算式あるいは電圧加算式のD/Aコンバータがある。これらのD/Aコンバータでは、単位抵抗 R および2倍の抵抗値を有する2 R を組み合わせた抵抗回路、抵抗回路の各ノードに接続されたスイッチ回路およびバッファアンプを有し、入力デジタル信号により制御されるスイッチ回路の接続態様に応じて変化した合成抵抗値と基準電圧 V_{REF} とに比例した電圧がバッファアンプの出力から得られる。このため、入力したデジタル信号に応じてほぼ線形に変化するアナログ信号がオペアンプから出力される。

10 図4から図6に、レベル調整回路2Bの構成例を示す。

図4に示す第1の構成例において、一定電圧 V_{REF0} と接地電位との間に、レジスタストリングが接続されている。レジスタストリングは、等価的に、7個の抵抗体 $R_0 \sim R_6$ を直列接続させた構成を有している。レジスタストリングの抵抗体間の接続中点にそれぞれスイッチ SW_1 が接続されている。基本的に、このスイッチ SW_1 の何れか1つがオンすることによって、基準電圧 V_{REF} の電位 $V_0 \sim V_5$ の1つを出力する。ただし、複数のスイッチ SW_1 をオンする制御もでき、その場合、さらに多くの電位を生成できる。

この6個のスイッチ SW_1 はスイッチ回路2Cを構成する。スイッチ回路2Cは、色バランス調整に関する情報に基づいて制御される。より詳細には、図3に示すように、信号処理回路22内の制御手段、たとえばCPU22aによって情報 S_4 を元に、数ビットの制御信号 S_4B が生成され、この制御信号 S_4B がスイッチ回路2Cの各スイッチ SW_1 を制御する。この数ビットの制御信号 S_4B に応じて、色ごとにオンするスイッチが切り替えられる。

25 パネルの製造ばらつき調整のための色バランス調整においては、高い輝度の色の発光輝度を下げるように調整することができる。この場合、初期設定時の基準電圧 V_{REF} の電位を V_0 とし、発光輝度を下げる程度に応じて、 $V_1 \sim V_5$ の

電位が選択される。あるいは、初期設定時の基準電圧 V_{REF} の電位を中間の、たとえば V_2 に設定し、特定の色については発光輝度を上げるようにすることもできる。

5 パネルの製造ばらつき調整においては、発光輝度の RGB 間の変動幅は、たとえば ± 数 % 程度である。いま、緑 (G) の輝度が設計値どおりで、このときの基準電圧 V_{REF} の電位 V_2 が 6 V であったとする。また、赤 (R) の発光輝度が設計値より 5 % 低く、青 (B) の発光輝度が設計値より 5 % 高く、基準電圧 V_{REF} の変化ステップが 0.15 V であるとする。この場合、R 発光輝度を調整するために基準電圧の電位を初期値 6 V (V_2) から 5 % 高い 6.3 V (V_0) に
10 する。また、B 発光輝度を調整するために基準電圧の電位を初期値 6 V (V_2) から 5 % 低い 5.7 V (V_4) にする。

このように色ごとにスイッチ回路を制御することにより色バランスの調整が可能である。

ただし、色によってはばらつき傾向が異なる場合がある。この場合、各色に共通の 1 つのレジスタストリングを用いたのでは、精密な調整ができないことがある。
15 そのような場合、レベル調整回路 (2B) の構成を、たとえば図 5 のようにすることが望ましい。

図 5 に示す第 2 の構成例においては、一定電圧 V_{REF0} と接地電位との間に、各色に対応した 3 本のレジスタストリングが並列に接続されている。各レジスタストリングは、7 個の抵抗体 $R_0 \sim R_6$ から構成されていることは、前記の第 1
20 の構成例と同じである。ただし、本例では、抵抗体 $R_0 \sim R_6$ の抵抗値が色ごとの製造ばらつきの傾向に合わせて所定の組み合わせで変えてある。3 つのレジスタストリングから引き出された 3 つの接続中点がスイッチ SW_1 により切り替えられ、電位 V_0 の値が決まる。この構成は他の電位 $V_1 \sim V_5$ についても同じで
25 ある。

以上より、第 2 の構成例では、色ごとに適した値の基準電圧 V_{REF} の電位 V

0～V 5 が得られるという利点がある。

色ごとのばらつき中心が予め分かっている場合は、たとえば図 6 に示す構成が採用できる。

図 6 に示す第 3 の構成例では、色ごとのオフセット抵抗体 R 6 R, R 6 G, R 6 B が互いに並列に、スイッチ S W 2 と接地電位との間に接続されている。一定電位 V R E F 0 とスイッチ S W 2 との間に、抵抗体 R 1 ～R 5 が直列接続されている。また、一定電位 V R E F 0 と接地電位との間に、抵抗体 R 0 1 と R 0 2 が直列接続されている。

第 3 の構成例では、色バランス調整時に相対的に高い輝度の色の発光輝度を下げるように構成されていることから、初期設定の出力電位 V 0 は、抵抗体 R 0 1 と R 0 2 との分圧により固定となっている。なお、この構成は任意であり、図 4 と同様に抵抗体 R 1 と一定電圧 V R E F 0 との間に抵抗体 R 0 を接続させ、両抵抗体 R 0 と R 1 の接続中点から電位 V 0 を出力させるようにしてもよい。

隣接する抵抗体の接続中点および抵抗体 R 5 とスイッチ S W 2 との接続中点にスイッチ S W 1 が接続され、このスイッチ S W 1 の何れかがオンすることにより、基準電圧 V R E F の電位 V 1 ～V 5 が選択され出力される。一方、スイッチ S W 2 は画素の色に応じて切り替えられ、赤のときはオフセット抵抗体 R 6 R が選択され、緑のときはオフセット抵抗体 R 6 G が選択され、青のときはオフセット抵抗体 R 6 B が選択され、これに応じて電位 V 1 ～V 5 の変化中心が変更される。

第 3 の構成例は、色ごとの変動を考慮して高い精度の色バランス調整ができるうえ、構成が図 5 の場合より簡素にできる利点がある。

基準電圧 V R E F の値によって画素の輝度を線形に変化させるには、図 7 に示すように、D/A コンバータを含めたドライバ I C の入出力特性が線形に変化することが望ましい。ただし、線形性が低い場合でも、そのことを見込んで基準電圧 V R E F を変化させることにより、目的の値に画素の輝度を制御できる。

図 8 に、有機 E L パネルの入力電圧と輝度との関係を示す。

現在主流のLCD装置に用いられる液晶層の印加電圧と輝度（透過光出力）との関係は、図示しないが、全体的に非線形に変化し、とくに高い電圧領域では液晶の分子配向が垂直にほぼ揃うため、パネルの出力カーブが飽和してしまう。

これに対し、有機EL素子の入出力特性は、図8に示すように実用領域ではほぼ直線的に変化する。このため電流駆動が可能であり、また、有機ELパネルでは入出力特性補正のためのガンマ補正が基本的に不要であるという利点がある。

本実施の形態では、このような有機EL素子の入出力特性の線形性の高さを巧みに利用することにより、抵抗ラダーを用いた簡単な構成のレベル調整回路2BでRGBの色バランス調整を実現している。

つぎに、信号送出回路21からセルアレイ1までの画素データ配列変化と、色バランス調整のタイミング制御について説明する。

図9(A)～図9(C)は、この信号処理における画像信号の変化の一例を示す説明図である。

図3に示す信号処理回路22に入力される画像信号SINは、コンポジットビデオ信号、Y/C信号、RGB信号（時系列のR信号、G信号、B信号）の何れの映像信号であってもよい。それぞれに対応した信号処理によって、最終的に、信号処理回路22からは時系列のRGB信号（デジタル信号）S22が出力される。このデジタルのRGB信号S22は、図9(A)に示すように、1ライン分のデジタルデータ内で8ビットの画素データが色ごとに時系列に並んだ構成となっている。図9(A)において、R1, R2, …、G1, G2, …、B1, B2, …のそれぞれが8ビットの画素データを示している。これらの画素データは、ドライバIC内で必要な処理がされた後、その信号送出回路21内でD/Aコンバータ23に入力され、アナログのRGB信号S23に変換される。

本例では、D/Aコンバータ23内で時分割のパラレルーシリアル変換（P-S変換）がなされる。3系統のチャネルから入力されたR信号、G信号、B信号がそれぞれD/Aコンバータ23内で、アナログのシリアルデータ（信号S2

3) に変換される。

ドライバ IC の出力数を、たとえば 240 とする。画素配列時に隣り合う R, G, B の画素データからなるシリアルデータ (R1, G1, B1)、(R2, G2, B2)、…、(R240, G240, B240) がドライバ IC から一斉にパネル
5 インターフェイスに出力され、サンプルホールド回路 2A に入力される。

入力されるサンプルホールド信号 $S_{S/H}$ の最初のパルスが印加されると、サンプルホールド回路 2A は 240 個のシリアルデータ (R1, G1, B1)、(R2, G2, B2)、…、(R240, G240, B240) から、最初に R 画素データを一斉に入力して、次のパルス入力があるまでの 3 分の 1 H 期間 (1H: 水平同期期間) 中、保持する。次のパルス入力により、この保持データをセルアレイの R 画素が接続されたデータ線に排出するとともに、次の G 画素データを入力する。このように、サンプルホールド回路 2A は、画素データの入力と排出を信号 $S_{S/H}$ のパルス印加のたびに繰り返すことにより、RGB の順でデータ線を駆動する。サンプルホールド回路 2A から出力される色ごとのデータ信号がパネル
10
15 の駆動信号 SHR, SHG, SHB となる。

本例では、信号処理 IC 内の CPU 22a によって、パネルの駆動が制御される。

図 3 において、サンプルホールド信号 $S_{S/H}$ 、V スキャン回路 3 の制御信号 S3 およびドライバ IC の制御信号 S21, S4B が、画像信号に同期して信号処理 IC から出力される。このうちレベル調整回路 2B の制御信号 S4B は、調整情報取得手段 4 からの情報 S4 に基づいて信号処理 IC 内で生成され、サンプルホールド信号 $S_{S/H}$ に同期した信号としてレベル調整回路 2B に出力される。レベル調整回路 2B 内において、ある 3 分の 1 H 期間 (必ずしも、R データのサンプルホールド期間とは限らない) で R 信号用の基準電圧 VR0 ~ VR5 の何れ
20
25 かが選択され、次の 3 分の 1 H 期間で G 信号用の基準電圧 VG0 ~ VG5 の何れかが選択され、さらに、次の 3 分の 1 H 期間で B 信号用の基準電圧 VB0 ~ VB

5 の何れかが選択される。

以上より、レベル調整回路 2 B 内での制御信号の生成およびタイミング制御のための回路が不要であり、レベル調整回路 2 B が小規模に実現できる。

とくに、このように信号処理 I C により各種制御信号が生成される構成では、
5 レベル調整回路 2 B を信号処理回路 2 2 内部に内蔵させることも可能である。また、色バランスのレベル調整では、たとえば製造ばらつきが最も小さいと予想される 1 色を基準に、他の 2 色を合わせこむことが可能である。その場合、基準となる 1 色用の基準電圧 V R E F は固定とするか、または内部に信号送出回路 2 1 内に保持させるようにしてもよい。さらに輝度が増減しやすい 1 色を調整するよう
10 うにして、他の 2 色を固定にしてもよい。

レベル調整のタイミング制御信号 S 4 B の生成は上記の例に限定されない。たとえば、信号処理 I C 内の C P U 2 2 a が、入力画像信号 S I N に重畳された水平同期信号を検出して、動作クロック信号をカウントし、3 分の 1 H 期間が経過したと判断したらレベル調整を切り替えるパルスを生成する方法で、上記の制御
15 信号 S 4 B を生成してもよい。このような方法でも、生成された制御信号 S 4 B は、結果としてサンプルホールド信号 S_{S/H} に同期した信号となる。

なお、制御信号 S 4 B の生成は信号処理 I C で行う必要は必ずしもなく、レベル調整回路 2 B 内あるいは調整情報取得手段 4 内で生成する構成でもよい。

以下の実施の形態では、E L 素子の劣化による輝度補正、コントラストと消費
20 電力とのバランス調整、あるいは、周囲の明るさに応じた輝度補正といった種々の目的に適合した、調整情報取得手段 4 およびレベル調整回路 2 B の具体的構成、並びに、それらの制御方法を述べる。ただし、この補正を R G B ごとの駆動信号に分ける前の R G B 信号に対して行う点で、前記の第 1 および第 2 の実施の形態と共通する。したがって、以下の実施の形態では、基本的なシステムの構成の例
25 を、図 3（場合によっては図 1）を引用しながら説明する。他の共通する構成は説明を省略する。

第 3 の実施の形態

第 3 の実施の形態では、有機 EL 素子のアノードまたはカソードの電位（以下、EL 電圧という）を検出して、その結果により RGB それぞれの信号について適切な駆動電圧を出力する。EL 電圧の検出結果は、第 1 の実施の形態における

- 5 “発光調整に関する情報” に該当し、この情報は常時監視できることから、とくに、有機 EL 素子の特性の経時変化に応じて RGB それぞれの色の輝度を自動補正することが可能となる。

以下、有機 EL 素子のアノード電圧を検出して、その結果をもとに経時変化を自動補正する場合を例に、第 3 の実施の形態を説明する。

- 10 有機 EL 素子は、自発光素子であるため、高輝度で長時間発光させると、その有機積層体の熱疲労により輝度が低下する。

図 10 は、経時変化により特性が低下する前後で有機 EL 素子の電流（ I ）－電圧（ V ）特性を示すグラフである。また、図 11 は、ある色の有機 EL 素子の輝度の経時変化を示すグラフである。

- 15 図 10 に示すように、高輝度で長時間発光させた有機 EL 素子は、同じバイアス電圧を印加しても初期の有機 EL 素子に比べデバイスを流れる電流が小さくなっている。これは、有機積層体の熱疲労により内部抵抗が大きくなって電荷の注入効率、再結合効率が低下してしまうために起こる。

- 20 このため、図 11 に示すように、時間とともに素子の発光輝度が低下する。輝度の低下は使用するデバイス構造によって異なり、R、G、B の有機 EL 素子は発光有機材料が異なるため、それぞれの色によって輝度の経時変化の仕方が違う。その結果、経年変化によって EL パネルの色バランスが崩れてしまうということになる。

- 25 第 3 の実施の形態では、上記の内部抵抗の増大による EL 素子の両端にかかる電圧の増大を検出し、これにより色バランスを補正する。

図 12 は、この電圧検出のための回路を示す回路図である。

図 1 2 に示す調整情報取得手段 4 は、R G B の 3 種類のモニタセルから構成されている。このモニタセルは、図 1 に示すセルアレイ 1 内で、画像表示には使用されない、有効画面表示領域の周囲に設けられている。

各モニタセルは、R G B それぞれの光を発光する E L 素子 E L R, E L G, E L B と、E L 素子の両側の電圧を検出するために E L 素子に直列に接続された負荷抵抗を R R, R G, R B と、を有する。本例の場合の各負荷抵抗は、ゲートに一定電圧が印加された薄膜トランジスタ (T F T) からなる。各 E L 素子のカソードと、負荷抵抗となる T F T のソースとの間に、E L 素子にかかる電圧より十分高い一定の電圧 V B が印加されている。

図 1 2 に示すレベル調整回路 2 B は、色に対応した数だけレベルシフト回路を有する。各レベルシフト回路は、上記モニタセルの E L 素子と負荷抵抗との接続中点に接続された抵抗 R A、当該抵抗 R A を通った検出電圧を非反転 (+) 入力に印加し、反転 (-) 入力が抵抗 R B を介して接地された差動増幅器 A M P と、差動増幅器 A M P の非反転入力と出力との間に接続された抵抗 R C とを有する。このレベルシフト回路は、検出電圧 V D A, V D G, または V D B を所定の倍率で増幅し、出力する。

3 つのレベルシフト回路の出力と、D / A コンバータ 2 3 の基準電圧 V R E F の入力端子との間に、レベルシフト回路を選択するスイッチ S W 3 が接続されている。スイッチ S W 3 は、図 3 の場合と同様に、サンプルホールド信号 S_{S / H}、または、情報 S 4 を元に生成されサンプルホールド信号に同期した信号 S 4 B により制御される。

レベルシフト回路の増幅率は、たとえば、E L 素子に劣化がない場合に基準電圧 V R E F の初期設定値と同じ電圧がレベルシフト回路から出力される値に設定される。ただし、画素表示を実際に行う有機 E L 素子と同様に特性が劣化することが前提となる。モニタセルが画像表示セルと同じように劣化しないが、ある一定の相関がある場合、その相関係数に応じてレベルシフト回路の抵抗 R C を可変

として、その増幅率を変化させる必要がある。あるいは、スイッチ SW 3 の部分を、図 4 ～ 図 6 に示した抵抗ラダー回路に置き換え、レベルシフト回路の出力が必要な基準電圧値となるように、さらにレベルシフトする必要がある。

この抵抗 RC を可変とする制御、あるいは、付加した抵抗ラダー回路を制御するためには、有機 EL 素子の EL 電圧 VDA, VDG, VDB をモニタする必要がある。有機 EL 素子は、無バイアス状態がある程度長く続くと特性が自己回復する現象が確認されており、実使用デバイス（画像表示セル）と、そうでない常に一定電圧が印加されたデバイス（モニタセル）とでは劣化特性に違いが生じるからである。このために、図 12 においては、EL 電圧をモニタする電圧計 DET が接続されている。なお、モニタセルと画像表示セルとが同じように特性変化することが保証されている場合、この電圧計 DET は不要である。

モニタセルの特性変化を画像表示セルの特性変化とできるだけ同じくするには、モニタセルを、たとえば図 2 に示すような画像表示セルと同じセル構造とすることができ。この場合、有効画面表示領域の周囲に、余分に画像表示セルを作っておき、有効画面表示領域内の所定の画像表示セルと同じバイアス電圧およびデータが、この余分な画像表示セル（モニタセル）にダイナミックに印加されるように配線構造を工夫する。

たとえば信号処理 IC 内の CPU 2 a、その他の制御手段が、このモニタセルの EL 電圧の検出値を平均化し、別に設けたルックアップテーブル等（負図示）を参照しながら、検出値をもとに抵抗 RC あるいは抵抗ラダー回路のスイッチ回路を制御するための制御信号を生成する。

以上の何れの方法によっても、EL 素子の特性低下に適合した基準電圧 VREF の生成が可能である。

たとえば、初期状態において VDR が 5 V で発光輝度が 100 cd/m^2 であった素子が、10 年後に VDR が 6 V で発光輝度が 90 cd/m^2 と想定される場合において、発光輝度と EL 電圧が 1 : 1 の関係にあるとの仮定の下で、差動

増幅器AMPの増幅率を1.1とする。これにより基準電圧VREFが6.6Vとなり、これがD/Aコンバータ23に供給される。この基準電圧の調整を色ごとに行う。

色ごとに生成した基準電圧VREFの値に応じて、D/Aコンバータ23から
5 出力されるアナログRGB信号S23、さらには、サンプルホールド回路2Aから出力される色ごとの駆動信号SHR, SHG, SHBのレベルが適正に変化する。その結果、画素が初期設定時と同じ輝度で発光する。

図12に示すモニタ専用のセルを用いた場合、発光輝度とEL電圧が1:1の関係にあるとの仮定の下での調整となる。つまり、この方法では、線形の特性を
10 仮定した調整しか実現することができない。EL素子は主な実使用領域ではほぼ線形な特性を有するため、このような方法でも十分に効果を発揮する。

ただし、実際の画面には低輝度領域での発光もあり、この低輝度の発光が素子特性の低下に無関係とは必ずしもいえない。

図13は、より精度が高い補正を行うことができるレベル調整回路2Bの構成
15 を示すブロック図である。

図示したレベル調整回路2Bは、アナログーデジタル変換器(ADC:A/D
コンバータ)30、ROM31、およびD/Aコンバータ32を有する。ROM
31内には非線形特性カーブを参照して作成されたルックアップテーブルが予め
記憶されている。ルックアップテーブルの参照対象となるデータは、モニタセル
20 と同じ常時バイアスされたデバイスでの条件である。

また、D/Aコンバータ30と各モニタセルとの間に、サンプルホールド信号
S_{s/h}、または、情報S4を元に生成されサンプルホールド信号に同期した信
号S4Bにより制御されるスイッチSW4が接続されている。なお、ROM31
は、とくに図示しないがレベル調整回路2B内に設けられた制御手段により、あ
25 るいは、他の制御手段により制御される。

検出EL電圧VDR, VDG, VDBは、スイッチSW4により切り換えられ、

A/D変換後、その何れかがROM 31を参照して補正され、さらにD/A変換されて、基準電圧VREFとしてD/Aコンバータ23に入力される。

これにより、非線形特性に適合した精密な色バランス補正が可能となる。

5 なお、前記と同様にモニタセルを実使用デバイスと同じ構成および動作条件とすることもできるが、他の方法として、ROM 31内に、ルックアップテーブルを複数用意し、ディスプレイの使用条件や環境に応じてデータを選択することもできる。これにより、実使用状況に適した色バランス調整を実現することができる。

第4の実施の形態

10 第4の実施の形態は、第3の実施の形態と同様、素子特性の経年変化に基づく色バランスの補正に関する。本実施の形態では、動作積算時間に基づいて色バランス調整を行う。

図14および図15は、第4の実施の形態のレベル調整に関する回路を示す回路図である。

15 図14において、本発明の“調整情報取得手段”の一実施態様として、計時手段（図中、TIMEと表記）4が設けられている。計時手段4は、たとえば、マイクロコンピュータあるいはCPUなどの、動作クロック周波数をカウントできる構成で実現できる。

図14に示すレベル調整回路2Bは、シリアルデータS4CをD/A変換する
20 D/Aコンバータ40を有する。D/Aコンバータ40の出力に、差動増幅器AMPと3つの抵抗RA～RCからなる第3の実施の形態と同様な構成のレベルシフト回路が接続され、レベルシフト回路とRGB信号変換用のD/Aコンバータ23との間に、図4～図6の何れかの構成を有する抵抗ラダー回路が接続されている。抵抗ラダー回路は、図3の場合と同様、サンプルホールド信号SS/H、
25 または、情報S4を元に生成されサンプルホールド信号に同期した信号S4Bにより制御される。

計時手段4としては、マイクロコンピュータを用いることが望ましい。これは、実際の製品においてマイクロコンピュータが使用されている場合がほとんどだからである。計時手段4は、パネル駆動時間をカウントし、積算時間に関するシリアルデータS4Cを出力する。シリアルデータS4Cは、D/Aコンバータ40
5 に送られる。ここで、シリアルデータS4Cの受け渡しは、一般的に用いられるIICバスを使用し、D/Aコンバータ40として、汎用のIICバス対応8ビットDAコンバータを用いることとする。

D/Aコンバータ40により変換された電圧は、RGB信号変換用のD/Aコンバータ23の参照電圧VREFに適應できるように、レベルシフト回路により、
10 そのレベルをシフトする。レベルシフト後の電圧は、抵抗ラダー回路により、第2の実施の形態と同様な方法で、RGBそれぞれのサンプルホールド信号と同期したタイミングで切り替えられる。

色ごとに生成した基準電圧VREFの値に応じて、D/Aコンバータ23から出力されるアナログRGB信号S23、さらには、サンプルホールド回路2Aから出力される色ごとの駆動信号SHR, SHG, SHBのレベルが適正に変化する。
15 る。その結果、画素が初期設定時と同じ輝度で発光し、経時変化による色バランスのずれが補正される。

上記の制御において、たとえば、初期状態から10年後までをマイクロコンピュータによりカウントできるとしたとき、マイクロコンピュータはRGBそれぞれについて10年の時間を8ビットデータに変換する。さらに、RGBそれぞれについて劣化係数をかけて、その結果をシリアルデータS4Cとして出力する。
20

ここで劣化係数を掛けるのは、通常の構成のDAコンバータ40は、8ビットデータをたとえば0~5Vに変換することから、初期状態（積算時間ゼロ）におけるDAコンバータ40の出力はRGBすべて0Vとなるからである。0Vの電
25 圧をいくら増幅しても所望の電圧は得られない。そこで、上記例では、たとえば10年後に最も劣化する色の素子が5Vになるように、マイクロコンピュータ

(計時手段4) 内部で劣化係数を掛けることにした。

図15に示す構成では、この劣化係数が掛けられるように、ROM41内にルックアップテーブルを予め作成している。また、ROM41内に、ルックアップ
5 テーブルを複数用意し、劣化係数のほかに、ディスプレイの使用条件や環境に応じてデータを選択することもできる。これにより、実使用状況に適した色バランス調整を実現することができる。

第5の実施の形態

第5の実施の形態は、画面の明るさに応じて、高いコントラストを維持しながら電力消費の抑制が可能な画像表示装置に関する。

10 一般に、ディスプレイ装置では、画面全体に明るい画像を表示している場合と、全体に暗い画像を表示している場合とでは、コントラスト感が違って見える。

前者の場合においてはコントラスト感が高く、すなわち信号のダイナミックレンジが実際よりも広く感じられ、後者の場合においては、逆にコントラスト感が低く、すなわち信号のダイナミックレンジが狭く感じられる。

15 よって全体に明るい画面ではコントラスト感を低くするように、全体に暗い画面ではコントラスト感を高めるようにすることにより、高画質を維持することができる。言い換えれば、全体的な画面の明るさと、求められるコントラストの高さ、すなわち信号のダイナミックレンジの広さとの間に反比例の関係がある。

有機ELディスプレイのように自発光型セルでは、LCDのように光を透過させるものでないため黒表示の画素に周囲の明るい画素からの光の干渉が少なく、
20 コントラストが高い画像が得られる。また、有機ELセルは黒表示時に非発光であるため、黒表示時にもバックライトが点灯しているLCDディスプレイに比べ消費電力の面では有利である。

ただし、この低消費電力性を生かして小型の携帯端末での需要が見込まれており、さらなる低消費電力化の要望が強い。
25

有機ELディスプレイを構成する画素においては輝度と発光するための消費電

流が、比例または比例に近い関係にあることが分かっている。本実施の形態では、この関係に着目して、予め画面全体（表示一画面分）の積算輝度に一定の閾値を設定し、その閾値を超えるような画像信号が入力されると、閾値以下に表示輝度を下げる制御技術に関する。

5 図16に、第5の実施の形態のレベル調整に関する回路の構成を示す。

図16において、本発明の“調整情報取得手段”の一実施態様として、1フィールド分のデジタルRGB信号をもとに、RGBのデータを演算する回路（図中、1F・DATAと表記）4を有している。この演算回路4から演算結果を示す信号S4Dが出力される。なお、演算回路4は、図中の位置に設ける必要は必ずしもなく、たとえば信号処理回路22内でRGB輝度信号のみに対して演算する回路でもよい。

演算手法は任意であるが、たとえばR信号、G信号、B信号を加算することにより、1フィールドの明るさに比例した信号S4Dを生成する。

15 図16に示すレベル調整回路2Bは、ROM50、D/Aコンバータ51およびレベルシフト回路を有する。

ROM50内に、信号S4Dが示す演算結果が示す画面の明るさを示すデータと、コントラストを余り低下させない範囲でできるだけ輝度を下げるために適した電圧との対応関係が記述されたルックアップテーブルが予め記憶されている。なお、ルックアップテーブルの画面の明るさを示すデータとして、1H内のランキング期間の存在による画面の明るさの低下が補正されたデータが記憶されている。

図示を省略した制御手段が、信号S4Dのデータと、このルックアップテーブルとを参照して、8ビットのデータS50を生成する。この8ビットのデータはD/Aコンバータ51によりアナログの電圧データS51に変換された後、レベルシフト回路にて、さらに、ドライバIC内のD/Aコンバータ23の基準電圧VREFに適合したレベルに変換される。

レベルシフト回路は、差動増幅器AMPと3つの抵抗RA～RCからなる第3の実施の形態と同様な構成を有し、基準電圧VREFを生成する。

基準電圧VREFの値に応じて、D/Aコンバータ23から出力されるアナログRGB信号S23、さらには、サンプルホールド回路2Aから出力される色ごとの駆動信号SHR, SHG, SHBのレベルが一様に、あるいは同じ割合で変5
化する。その結果、画面の明るさがコントラストを低下させない程度で抑制され、その結果、余分な消費電力が低減される。

これと同じ効果を得ることを目的として、第2の実施の形態で示す図4～図6のいずれかに示す抵抗ラダー回路を用いることも可能である。この場合、レベル調整回路2B内のD/Aコンバータ51と、レベルシフト回路とは省略可能であ10
る。また、ROM50は、図3に示す信号処理回路22内のROM（不図示）と共用されるところ。

この構成では、演算回路4からの8ビットのデータS4Dは、図3に示す信号処理回路22内のCPU22aに戻される。CPU22aは、ROM内を参照して、抵抗ラダー回路を制御する信号S4Bを生成する。このとき、ROM内には、15
信号S4Dが示す演算結果と、当該演算結果が示す画面の明るさに応じてコントラストを余り低下させない範囲でできるだけ輝度を下げるために適した電圧との対応関係が記述されたルックアップテーブルのほかに、電圧レベルを基準電圧VREFに適合させるための電圧レベル変換用のルックアップテーブルが保持され20
ている。CPU22aは、この2つのルックアップテーブルを参照して制御信号S4Bを生成する。制御信号S4Bにより制御された抵抗ラダー回路によって、その出力の基準電圧VREFがRGB間で一様に、あるいは同じ割合で変化することとなる。

この場合も、その結果、画面の明るさがコントラストを低下させない程度で抑制25
され、余分な消費電力が低減される。

第6の実施の形態

第6の実施の形態は、周囲の明るさに応じて、必要以上に画面を明るくさせないことにより電力消費の抑制が可能な画像表示装置に関する。

一般に、ディスプレイ装置では、周囲が明るいとき画面も明るくする必要があり、周囲が暗いとき画面を暗くしても見やすい画像が得られる。本実施の形態は、周囲の明るさを検出して必要十分な輝度で発光素子を発光させる低消費電力技術に関する。

図17に、第6の実施の形態のレベル調整に関する回路の構成を示す。

図17において、本発明の“調整情報取得手段”の一実施態様として、受光画素回路4が、たとえば図1に示すセルアレイ1の有効画面表示領域の外側のパネル縁部で、かつ、周囲の光量を検出できる位置に設けられている。受光画素回路4は、有機EL素子EL1、検出抵抗RDおよびRG、電流検出アンプ60を有する。有機EL素子EL1は接地電位GNDと正電圧、たとえば+5Vの供給線との間に検出抵抗RDと直列に接続されて受光素子として機能する。有機EL素子EL1と検出抵抗RDに、有機EL素子EL1が周囲の光を受光することで、その光量に応じた検出電流Idが流れる。

電流検出アンプ60は、検出抵抗RDの両端に一端がそれぞれ接続された抵抗RE、RFと、これら抵抗RE、RFの他端に非反転(+)入力および反転(-)入力が接続されたオペアンプOPと、オペアンプOPの出力にベースが、非反転入力にコレクタが接続されたバイポーラトランジスタQとを有する。検出抵抗RGは、トランジスタQのエミッタと接地電位GNDとの間に接続されている。

周囲の明るさを有効に検出するには、素子や配置位置のばらつきを緩和するために、比較的たくさんの他の有機EL素子を、図示した有機EL素子EL1と並列に配置させることが望ましい。この場合、より大きな検出電流Idが得られ、上記のばらつきを緩和し、検出信号のS/N比を高めることができる。

図17に示すレベル調整回路2Bは、差動増幅器AMPと3つの抵抗RA～R

Cからなる第3の実施の形態と同様な構成を有し、基準電圧VREFを生成する、1つのレベル変換回路を有する。

受光画素回路4の検出電流Idは電流検出アンプ60により増幅されて、これに応じた電流が検出抵抗RGを流れ、検出抵抗RGにより変換され、検出電圧S4Eとして、受光画素回路4から出力される。検出電圧S4Eは、レベルシフト回路にて、ドライバIC内のD/Aコンバータ23の基準電圧VREFに適合したレベルに変換される。

基準電圧VREFの値に応じて、D/Aコンバータ23から出力されるアナログRGB信号S23、さらには、サンプルホールド回路2Aから出力される色ごとの駆動信号SHR, SHG, SHBのレベルが一様に、あるいは同じ割合で変化する。その結果、画面の明るさが周囲の明るさに適合し、コントラストを低下させない程度で最小限に抑制され、余分な消費電力が低減される。

第7の実施の形態

第7の実施の形態は、動き検出によって表示する画像が動画か静止画かを判断し、その結果に応じた発光制御を行う技術に関する。

一般に、LCD表示装置は応答速度が遅いために動画表示において画像ぼけが発生するというデメリットがある反面、静止画においてブラウン管のようなちらつき（フリッカ）が発生することがないというメリットをもつ。ブラウン管は、逆に、画像はぼけないが、フリッカが生じやすい。

第7の実施の形態では、既存回路を極力利用することによって液晶とブラウン管のメリットの両立を、自発光素子を有する画像表示装置において実現することを目的とする。

図18に、第7の実施の形態の画像表示装置の大まかな構成を示す。

本例の信号処理回路22に、動き検出回路（図中、M.DETと表記）22Bが設けられている。信号処理回路22は、テレビ信号受信回路に用いられる3次元YC分離回路の機能を有する。いわゆる動き適応型と称される3次元YC分離では、動きが遅い静止画などの場合は、精度を高めるためフレーム間で輝度信号

と色信号との分離を行い、動きが速い映像の場合は部分的にフィールド間の加減算処理（2次元Y C分離）を行う。これらの分離処理では、フィールド間やフレーム間で同じラインの色信号の位相差が180度反転していることを利用して、加算で輝度信号が抽出され、減算で色信号が抽出される。

- 5 このように、動き適応型3次元Y C分離では画像の動きを検出する機能を有する。本実施の形態では、この動き検出の機能を利用する。ただし、動き検出の手法はいかなる方法を用いても構わない。

図18に示すレベル調整回路2Bは、図4～図6の何れかに示す抵抗ラダー回路のほかに、基準電圧VREFの調整範囲中心を、たとえばVREF（大）とVREF（小）とで切り替えるスイッチSW5を有する。なお、このスイッチSW5は、たとえば図6のスイッチSW2のようにオフセット抵抗値を切り替えるスイッチとして抵抗ラダー回路内に設けてもよい。この場合、このスイッチと一定電圧（図6では接地電位）との間に大、小2つのオフセット抵抗が設けられることとなる。

- 15 第7の実施の形態では、ELディスプレイパネル10に接続された発光時間比（以下、デューティ比（D. RATIO）という）を、たとえば100%の「D. RATIO（大）」と、たとえば50%の「D. RATIO（小）」とに切り替えるスイッチSW6を有する。なお、これらのデューティ比は図示を省略したROM等に予め記憶されている。

- 20 スイッチSW6と、上記のスイッチSW5（あるいはスイッチSW2）は、動き検出回路22Bから出力された動き検出信号S22Bによって差動的に制御される。動き検出信号S22Bがハイ（H）レベルのときは動画が検出されたとして、スイッチSW5によりVREF（大）が選択され、スイッチSW6によりD. RATIO（小）が選択される。逆に、動き検出信号S22Bがロー（L）レベルのときは静止画が検出されたとして、スイッチSW5によりVREF（小）が
25 選択され、スイッチSW6によりD. RATIO（大）が選択される。

なお、ここでは動画か静止画かの検出のみを行うが、その中間レベルが検出可能できるようにしてもよい。この場合、スイッチSW5とSW6は3個以上の切り換えタップを有し、動き検出信号S22Bによって差動的に制御される。中間レベルが多ければ、その分、制御の分解能を高めることができる。なお、スイッチの制御が単純に差動的に出来ない場合は、その制御の仕方をROMに予め記憶
5 させておくこともできる。

スイッチSW5から画像の動きに適した値の基準電圧VREFがRGB信号変換用のD/Aコンバータ23に出力される。基準電圧VREFの値に応じて、D/Aコンバータ23から出力されるアナログRGB信号S23、さらには、サンプル
10 プルホールド回路2Aから出力される色ごとの駆動信号SHR, SHG, SHBのレベルが一様に、あるいは同じ割合で変化する。

一方、スイッチSW6からは、画像の動きに適したデューティ比の発光時間制御信号S70が出力される。ELパネル10のセルアレイ内で、走査線と平行に配線された制御線が走査線と同期して選択され、発光時間制御信号S70が走査
15 信号と同期して制御線に印加される。

図19は、発光時間制御が可能な画素の構成例を示す回路図である。

図19に示す画素において、発光時間の制御線LY(i)に制御される薄膜トランジスタTRcと、薄膜トランジスタTRdとが、図2に示す画素にさらに付加されている。トランジスタTRcは、データの蓄積ノードND、すなわちトランジスタTRbのゲートとトランジスタTRaとの間に接続されている。このト
20 ランジスタTRcとトランジスタTRaとの接続中点と、バイアス電圧の供給線VDLとの間に、トランジスタTRdが接続されている。トランジスタTRdのゲートは蓄積ノードNDに接続されている。

図2と図19に共通な素子の接続関係、働き（データの供給）は同じである。
25 ただし、有機EL素子ELとトランジスタTRbに対する、バイアス電圧の与え方が図2と図19で逆であるが、図19のバイアス電圧は負電圧であることから、

両者は等価である。

いま、走査線 $X(i)$ 、データ線 $Y(j)$ および制御線 $LY(i)$ がともに H レベルで駆動されてトランジスタ TRa および TRc がオンし、蓄積ノードに電荷が流入してトランジスタ TRb がオンすると、有機 EL 素子 EL が発光する。

5 この発光状態において、蓄積ノード ND に所定量の電荷が溜まるとトランジスタ TRd がオンして、蓄積ノード ND に保持されていた電荷がトランジスタ TRc 、 TRd を通して放電される。保持電荷がある程度放電され、トランジスタ TRb のゲートとソース間の電位が閾値電圧を下回ると、トランジスタ TRb がオフ状態となって有機 EL 素子 EL の発光が停止する。

10 ここで、制御線 $LY(i)$ に印加される発光時間制御信号 $S70$ のパルス長が長い場合は、この保持電荷が放電されるが、時間制御信号 $S70$ のパルスが H レベルで継続している以上、供給電荷も多く、保持電荷の放電は進まないため、発光状態が持続する。ところが、時間制御信号 $S70$ のパルス長が短い場合は、すぐにトランジスタ TRc がオフするため、トランジスタ TRd による放電がしばらく続いて、発光停止状態に移行する。

15 このように、図 19 に示す画素では、時間制御信号 $S70$ のパルス持続時間比（デューティ比）に応じた発光時間制御が可能となる。

有機 EL 素子の単位時間あたりの発光量は、デューティ比 $D.RATIO$ と、データ駆動信号のレベルに線形に変化する発光輝度 L とに対し、ともに比例関係にある。第 2 の実施の形態で述べたように、ドライバ IC の出力が基準電圧 V_{REF} に比例する場合、この発光量は、デューティ比 $D.RETIO$ と基準電圧 V_{REF} の双方に対し比例関係を持つ。

本実施の形態では、この両者を画像の種類に応じて最適化する。

画像が動画の場合、デューティ比 50% で発光時間が短い方に設定されるが、
25 同時に、基準電圧 V_{REF} （大）が選択されて輝度が上げられ、画面の明るさの必要量が確保される。しかも、発光時間が短いので画面の切り替え時に画像が流

れてぼける現象が抑制され、動画特性が向上する。この動画特性は、デューティ比100%のホールド型であるLCD表示装置を凌ぐものである。また、デューティ比50%での発光は、CRT表示装置のような瞬時の高輝度発光でないため、フリッカ耐性も高い。

- 5 一方、画像が静止画の場合は、デューティ比100%で発光時間が長い方に設定されるが、同時に、基準電圧VREF（小）が選択されて輝度が下げられ、画面の明るさが必要量以上にならないように抑制される。また、輝度が下げられるため有機EL素子の素子劣化が加速されず、不要な消費電力が削減される。

- 10 なお、上記の2つの制御の切り替え、およびデータ線や制御線の駆動を、全て水平または垂直の同期信号に同期させて行うことで、制御の切り替えがスムーズに行える。また、発光時間制御は1フィールド単位で発光、非発光を制御するという最も長い時間を要することから、その制御タイミングにあわせてドライバICのゲイン調整を行うことが望ましい。

- 15 従来の発光時間による制御のみでは、画像の種類によっては、静止画が必要以上に明るくなりすぎる、動画がぼける、あるいは、フリッカ現象が発生することを同時に防止することは難しかった。

- 20 本実施の形態では、発光時間による制御に輝度制御をうまく組み合わせることで、とくにコンピュータなどで動画と静止画が切り替わるような機器において、ちらつき感のない見やすい静止画像を表示することができる。また、テレビ放送やビデオ映像などの動画においては、有機ELパネルの応答速度の速さを生かしたクリアな画像を表示し、静止画と動画にそれぞれ適した表示特性を自動的に切り替えることが可能となった。有機ELの応答速度は非常に速いために、制御に要する時間を考慮する必要はないことから、このような切り替えのための制御も容易である。

- 25 以上の結果、画面の見かけ上の明るさやコントラストなどを変えず、また画質を損なうことなく人の目に見やすい表示を行うことが容易にできる。

本発明の実施の形態によれば、以下の効果を奏する。

第 1 に、コストに関する以下の利点を得られる。

5 パネルの製造ばらつきや発光素子の特性劣化による色バランス調整（第 1 ～第 4 の実施の形態）、画面の明るさに応じた余分な消費電力や素子劣化の抑制（第 5 の実施の形態）、周囲の明るさに応じた画面の明るさの制御（第 6 の実施の形態）、あるいは、動画と静止画に適合した表示特性制御（第 7 の実施の形態）といった種々の調整および制御等が、画像信号が色ごとのデータ線の駆動信号 S H R, S H G, S H B に分けられるまえのデジタル R G B 信号 S 2 2 でレベル調整される。このため、レベル調整回路が R G B 共通となり、その分、チップコストが抑
10 制できる。

さらに、デジタル信号処理によるレベル調整では D S P などの専用回路が必要となるが、このような専用 I C も不要である。既存の I C に簡単な機能を付加するだけで実現できる。第 7 の実施の形態では、既存の I C の動き検出機能の利用が可能であり、その分、コスト削減ができる。

15 第 2 に、調整対象が直流電圧であることによる以下の利点がある。

レベル調整が直流電圧に対してなされるため、抵抗ラダー回路あるいはレベルシフト回路からなる簡単な回路でレベル調整が行える。また、レベル調整が、色ごとの駆動信号のレベルに比例できる回路ブロック、たとえば D / A コンバータ 2 3 に対し施されるため、制御と結果の線形関係が維持され、余分な非線形性の
20 補正回路（たとえばガンマ補正）が基本的に不要である。また、発光素子として有機 E L 素子を用いているので、この線形性の確保が容易である。

第 3 に、同期および制御性に関する以下の利点がある。

色バランス補正のためのレベル調整が、サンプルホールド回路 2 A に供給するサンプルホールド信号と同期しているため、レベル調整の R G B の切り替えタイ
25 ミングの制御が楽である。とくに、水平同期信号を基準とした同期制御を行うことで、他の信号との同期も取れる。また、レベル調整回路 2 B が R G B 共通であ

るため制御もしやすい。

第7の実施の形態において、動画と静止画に適した表示特性の切り替え制御では、他の信号と同期してレベル調整のための基準電圧VREFが選択されるために、表示特性とレベルの調整の切り替えがスムーズである。

- 5 第4に、高解像度・狭画素ピッチのディスプレイの実現に向けての以下の利点がある。

基準電圧の制御による色バランス調整、基準電圧制御と発光時間とを組み合わせた画質調整は、発光時間のみの色バランス調整に比べ、高解像度・狭画素ピッチのディスプレイでの調整が可能となる。また、発光時間調整を不要とした基準
10 電圧のみによる色バランス調整を行うとした場合、セルごとに2つのトランジスタと制御線の配線が不要となる。これは、高解像度・狭画素ピッチのディスプレイを実現する上で大きな利点となる。

第5に、画質に関与する以下の利点がある。

- 15 従来の発光時間制御と比較して、表示品位を損なわずに低消費電力化が実現できる（第5の実施の形態）。

従来の発光時間制御と比較して、表示品位を損なわずに周囲の明るさに応じて最適な画像表示を行なうことができる（第6の実施の形態）。

従来の発光時間制御で生じていた、動作周波数依存性による表示品位への影響（ちらつきや画像ぼけ）を回避することができる（第7の実施の形態）。

- 20 このように、本発明に係る他の画像表示装置、および、その色バランス調整方法では、RGBの各色に共通したRGB信号に対しレベル調整されるため、レベル調整回路が1つでよい。このため、色バランスを調整するための回路が小型で簡素な構成にできる。また、色ごとに同期をとって調整する必要がなくタイミング制御も楽である。

- 25 また、本発明に係る他の画像表示装置、および、その色バランス調整方法では、上記したように、動画などの動きが速い画像表示のときは上記と同様、RGB信

号のレベル調整により色バランスを調整できる。このため、この色バランス調整のための回路が、個々の色ごとにバランス調整する場合に比べ小型で簡素に構成できる。動画の場合、発光時間のデューティ比を中間の適正範囲に制御すると、画像のぼけやフリッカが生じない。

- 5 一方、静止画表示のときは、発光時間のデューティ比を変えて色バランスを調整する。静止画の場合、デューティ比がかなり大きくなっても動画のように画像がぼけない。逆に、デューティ比がかなり小さくなっても動画のように画像にフリッカが生じない。発光時間のデューティ比を大きく変えると、その分、発光素子に印加される駆動電圧または駆動電流（駆動信号）のレベル変化を抑制でき、
- 10 あるいは一定とすることができる。その結果、駆動信号レベルを大きく変化させることによる発光素子の特性低下および無駄な消費電力の増加が抑制できる。

このように、動画と静止画にそれぞれ適した色バランス調整が実現できる。

産業上の利用可能性

- 15 本発明は、入力した輝度レベルに応じて発光する発光素子を画素内に有する画像表示装置に利用できる。

請求の範囲

1. 入力される画像信号 (S I N) により駆動信号 (S H R, S H G, S H B) を生成する回路 (2) と、

5 上記回路 (2) から色ごとに供給された上記駆動信号 (S H R, S H G, S H B) の印加により赤 (R)、緑 (G) または青 (B) の所定の色で発光する発光素子 (E L) を含む複数の画素 (Z) と、

上記発光素子 (E L) の発光調整に関する情報を取得する調整情報取得手段 (4) と、

10 上記回路 (2) 内に設けられ、上記調整情報取得手段 (4) から得た上記情報に基づいて、R G Bの色ごとの上記駆動信号 (S H R, S H G, S H B) に分けられるまえのR G B信号 (S 2 2) のレベルを変化させるレベル調整回路 (2 B) と、

を有する画像表示装置。

15 2. 上記レベル調整回路 (2 B) は、上記回路 (2) 内の回路ブロック (2 1) に供給され、上記発光素子 (E L) の輝度に比例する直流電圧 (V R E F) のレベル (V 0 ~ V 5) を変化させる

請求項 1 に記載の画像表示装置。

20 3. 上記R G B信号 (S 2 2) をデジタルーアナログ変換するD / Aコンバータ (2 3) を有し、

上記調整情報取得手段 (4) は、上記経時変化に関する情報をR G Bの色ごとに取得し、

上記レベル調整回路 (2 B) は、上記D / Aコンバータ (2 3) に供給する基準電圧 (V R E F) を、上記調整情報取得手段 (4) から得た上記R G B
25 の色ごとの情報に基づいて変化させる

請求項 2 に記載の画像表示装置。

4. 所定の色配列で繰り返し配置された上記複数の画素（Z）を色ごとに接続する複数のデータ線（Y）と、

上記RGB信号（S22）を構成する時系列の画素データをRGBの色ごとに保持し、色ごとに保持した画素データを上記駆動信号（SHR, SHG, SHB）として、対応した複数の上記データ線（Y）に並列に出力するデータ保持回路（2A）と、をさらに有し、

上記レベル調整回路（2B）は、異なる色の画素データが上記データ保持回路（2A）に入力されるタイミングで、上記直流電圧（VREF）のレベル（V0～V5）を、上記調整情報取得手段（4）から得た上記情報に基づいて必要な回数変化させることによって、少なくとも1色の上記駆動信号（SHR, SHG, SHB）のレベルを調整する

請求項2に記載の画像表示装置。

5. 上記レベル調整回路（2B）に入力され上記直流電圧（VREF）のレベル（V0～V5）を変化させるための制御信号は、上記データ保持回路（2A）を制御するサンプルホールド信号（ $S_{S/H}$ ）と共通する

請求項4に記載の画像表示装置。

6. 上記レベル調整回路（2B）に入力され上記直流電圧を変化させるための制御信号は、上記データ保持回路（2A）を制御するサンプルホールド信号（ $S_{S/H}$ ）と同期した信号（S4B）である

請求項4に記載の画像表示装置。

7. 上記調整情報取得手段（4）および上記レベル調整回路（2B）は、画素（Z）の輝度とともに変化する値を各色の画素（Z）から検出する検出手段と、

上記変化する値と上記RGB信号（S22）のレベル調整量との対応を記憶している記憶手段（31または41）と、を含む

請求項1に記載の画像表示装置。

8. 上記調整情報取得手段（4）および上記レベル調整回路（2B）は、
画素（Z）の累積発光時間をカウントする計時手段と、
上記累積発光時間と上記RGB信号（S22）のレベル調整値との対応
を記憶している記憶手段（31または41）と、を含む

5 請求項1に記載の画像表示装置。

9. 上記発光素子（EL）が有機電界発光素子である
請求項1に記載の画像表示装置。

10. 入力される画像信号（SIN）により駆動信号（SHR, SHG, SHB）を生成する回路（2）と、

10 上記回路（2）から色ごとに供給された上記駆動信号（SHR, SHG, SHB）の印加により赤（R）、緑（G）または青（B）の所定の色で発光する
発光素子（EL）を含む複数の画素（Z）と、を有し、

上記回路（2）が、

上記画像信号（SIN）により動きを検出する動き検出回路（22B）

15 と、

上記動き検出回路（22B）から得た動き検出の結果に基づいて、RGB
の色ごとの上記駆動信号（SHR, SHG, SHB）に分けられるまえのRGB
信号（S22）のレベルを変化させるレベル調整回路（2B）と、

20 上記動き検出の結果に基づいて、上記画素（Z）の発光時間のデューティ比を変化させるデューティ比調整回路（70）と、

を含む画像表示装置。

11. 上記レベル調整回路（2B）は、上記回路（2）内の回路ブロック（21）に供給され、上記発光素子（EL）の輝度に比例する直流電圧（VREF）
のレベル（V0～V5）を変化させる

25 請求項10に記載の画像表示装置。

12. 上記発光素子（EL）が有機電界発光素子である

請求項 10 に記載の画像表示装置。

13. 入力される駆動信号 (SHR, SHG, SHB) に応じて赤 (R)、緑 (G) または青 (B) の所定の色で発光する発光素子 (EL) を含む複数の画素 (Z) を有する画像表示装置の色バランス調整方法であって、

5 上記発光素子 (EL) の発光調整に関する情報を取得するステップと、
上記発光調整に関する情報に基づいて、RGB の色ごとの上記駆動信号 (SHR, SHG, SHB) に分けられるまえの RGB 信号 (S22) のレベルを変化させるステップと、

上記 RGB 信号 (S22) を構成する時系列の画素データを色ごとに分
10 けて、上記駆動信号 (SHR, SHG, SHB) を生成し、対応する上記画素 (Z) に供給するステップと、

を含む画像表示装置の色バランス調整方法。

14. 上記 RGB 信号 (S22) のレベルを変化させるステップでは、画像信号 (SIN) を信号処理し上記駆動信号 (SHR, SHG, SHB) を生成する
15 回路 (2) 内の回路ブロック (21) に供給され、上記発光素子 (EL) の輝度に比例する直流電圧 (VREF) のレベル (V0 ~ V5) を変化させる

請求項 13 に記載の画像表示装置の色バランス調整方法。

15. 上記駆動信号 (SHR, SHG, SHB) を生成する際に、上記 RGB 信号 (S22) を構成する時系列の画素データを RGB の色ごとに保持する保持
20 ステップを含み、

上記 RGB 信号 (S22) のレベルを変化させるステップでは、異なる色の画素データが上記保持ステップに入力されるタイミングで、上記直流電圧 (VREF) のレベル (V0 ~ V5) を、上記調整情報取得手段 (4) から得た上記情報に基づいて必要な回数変化させることによって、少なくとも 1 色の上記
25 駆動信号 (SHR, SHG, SHB) のレベルを調整する

請求項 14 に記載の画像表示装置の色バランス調整方法。

16. 上記発光調整に関する情報を取得するステップが、

画素（Z）の輝度とともに変化する値を各色の画素（Z）から検出するステップと、

5 予め求めておいた、上記変化する値と上記RGB信号（S22）のレベル調整量との対応に基づいて、上記変化する値から上記RGB信号（S22）のレベル調整量を決定するステップと、を含む

請求項13に記載の画像表示装置の色バランス調整方法。

17. 上記発光調整に関する情報を取得するステップが、

画素（Z）の累積発光時間をカウントするステップと、

10 予め求めておいた、上記累積発光時間と上記RGB信号（S22）のレベル調整量との対応に基づいて、現在の画素（Z）の累積発光時間から上記RGB信号（S22）のレベル調整量を決定するステップと、を含む

請求項13に記載の画像表示装置の色バランス調整方法。

18. 上記発光素子（EL）が有機電界発光素子である

15 請求項13に記載の画像表示装置の色バランス調整方法。

19. 入力される画像信号（SIN）を信号処理して生成された駆動信号（SHR, SHG, SHB）に応じて赤（R）、緑（G）または青（B）の所定の色で発光する発光素子（EL）を含む複数の画素（Z）を有する画像表示装置の色バランス調整方法であって、

20 表示する画像の動きを上記画像信号（SIN）から検出するステップと、
上記動きの検出結果に基づいて、RGBの色ごとの上記駆動信号（SHR, SHG, SHB）に分けられるまえのRGB信号（S22）のレベルを変化させるステップと、

25 上記検出結果に基づいて、上記発光素子（EL）の発光時間を制御するパルスのデューティ比を変化させるステップと、
を含む画像表示装置の色バランス調整方法。

20. 上記RGB信号(S22)のレベルを変化させるステップでは、画像信号(SIN)を信号処理し上記駆動信号(SHR, SHG, SHB)を生成する回路(2)内の回路ブロック(21)に供給され、上記発光素子(EL)の輝度に比例する直流電圧(VREF)のレベル(V0~V5)を変化させる

5 請求項19に記載の画像表示装置の色バランス調整方法。

21. 上記駆動信号(SHR, SHG, SHB)を生成する際に、上記RGB信号(S22)を構成する時系列の画素データをRGBの色ごとに保持する保持ステップを含み、

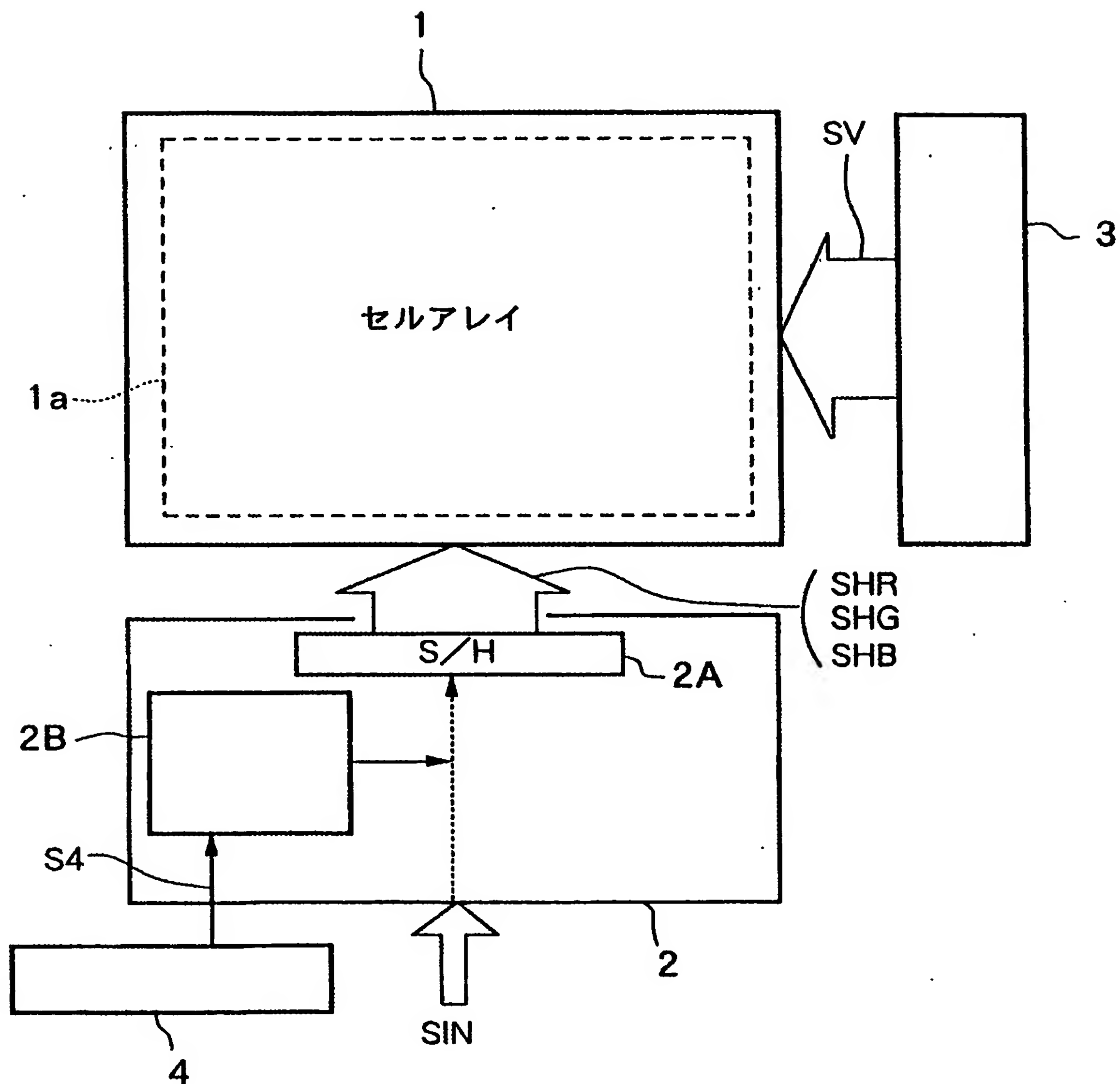
10 上記RGB信号(S22)のレベルを変化させるステップでは、異なる色の画素データが上記保持ステップで保持されるタイミングで、上記直流電圧(VREF)のレベル(V0~V5)を、上記調整情報取得手段(4)から得た上記情報に基づいて必要な回数変化させることによって、少なくとも1色の上記駆動信号(SHR, SHG, SHB)のレベルを調整する

請求項20に記載の画像表示装置の色バランス調整方法。

15 22. 上記発光素子(EL)が有機電界発光素子である

請求項19に記載の画像表示装置の色バランス調整方法。

FIG. 1



- 2: 画像信号から駆動信号を生成する回路
- 2A: サンプルホールド回路
- 2B: レベル調整回路
- 3: Vスキャン回路
- 4: 調整情報取得手段

FIG. 2

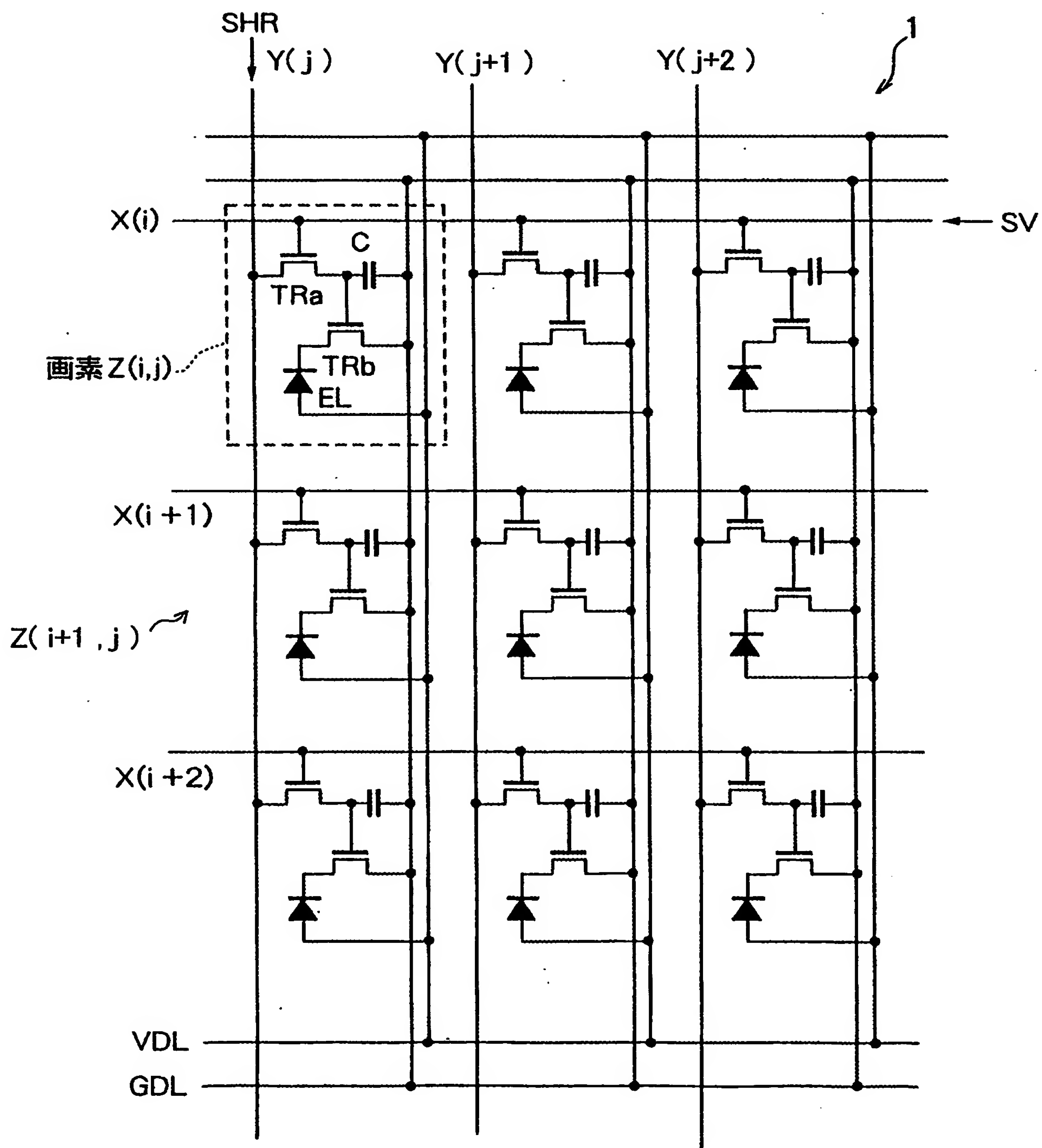


FIG. 3

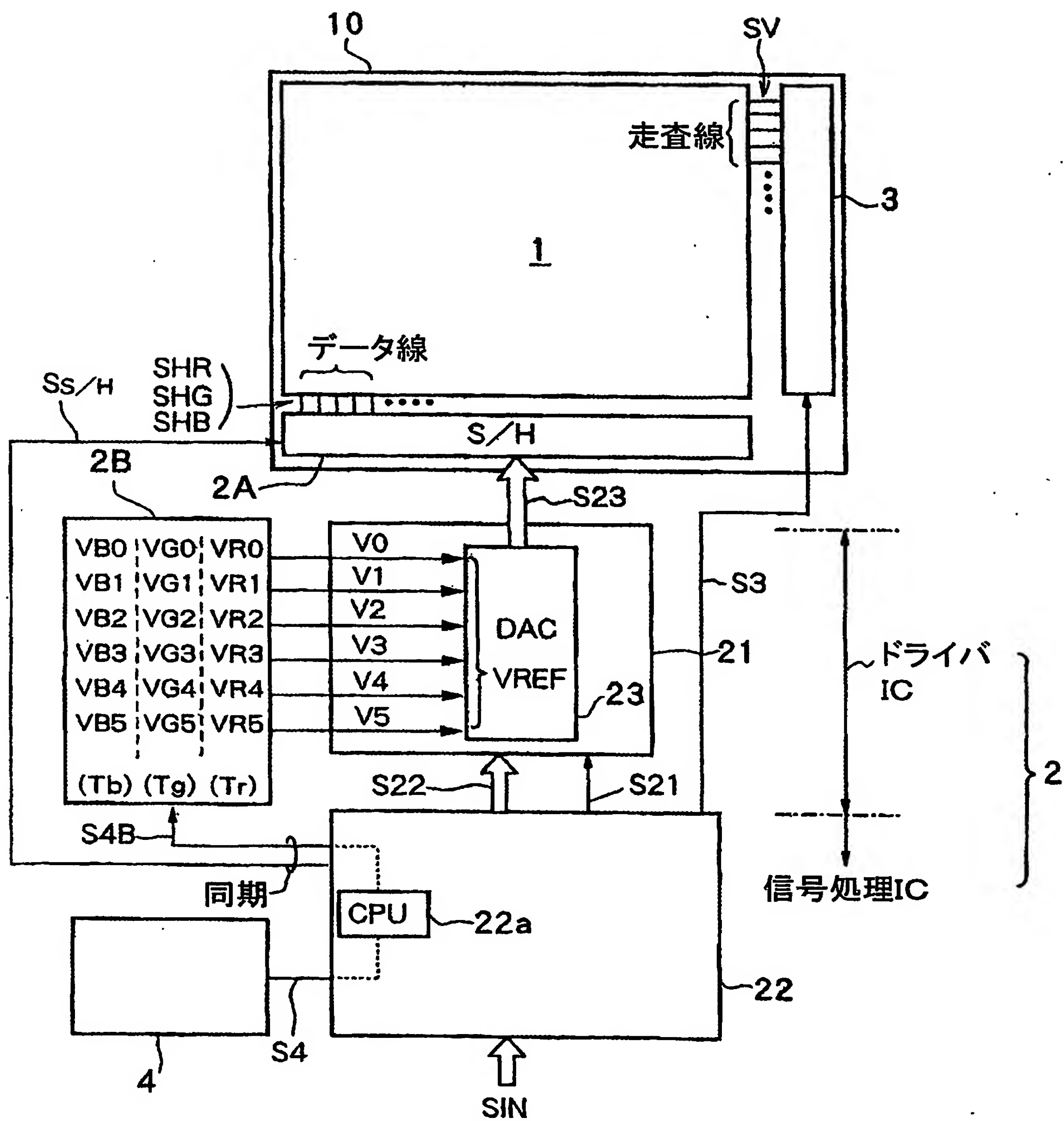


FIG. 4

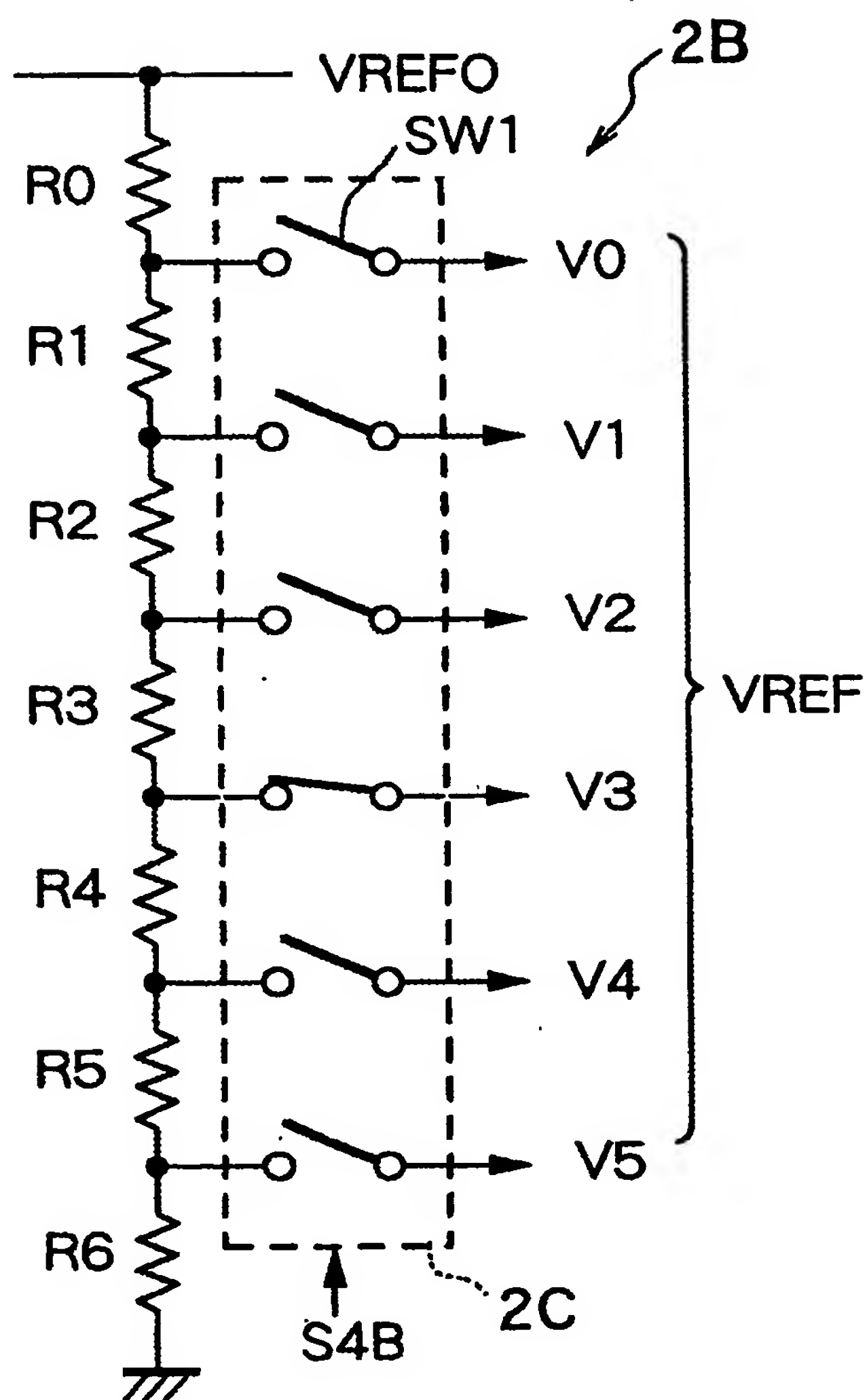


FIG. 5

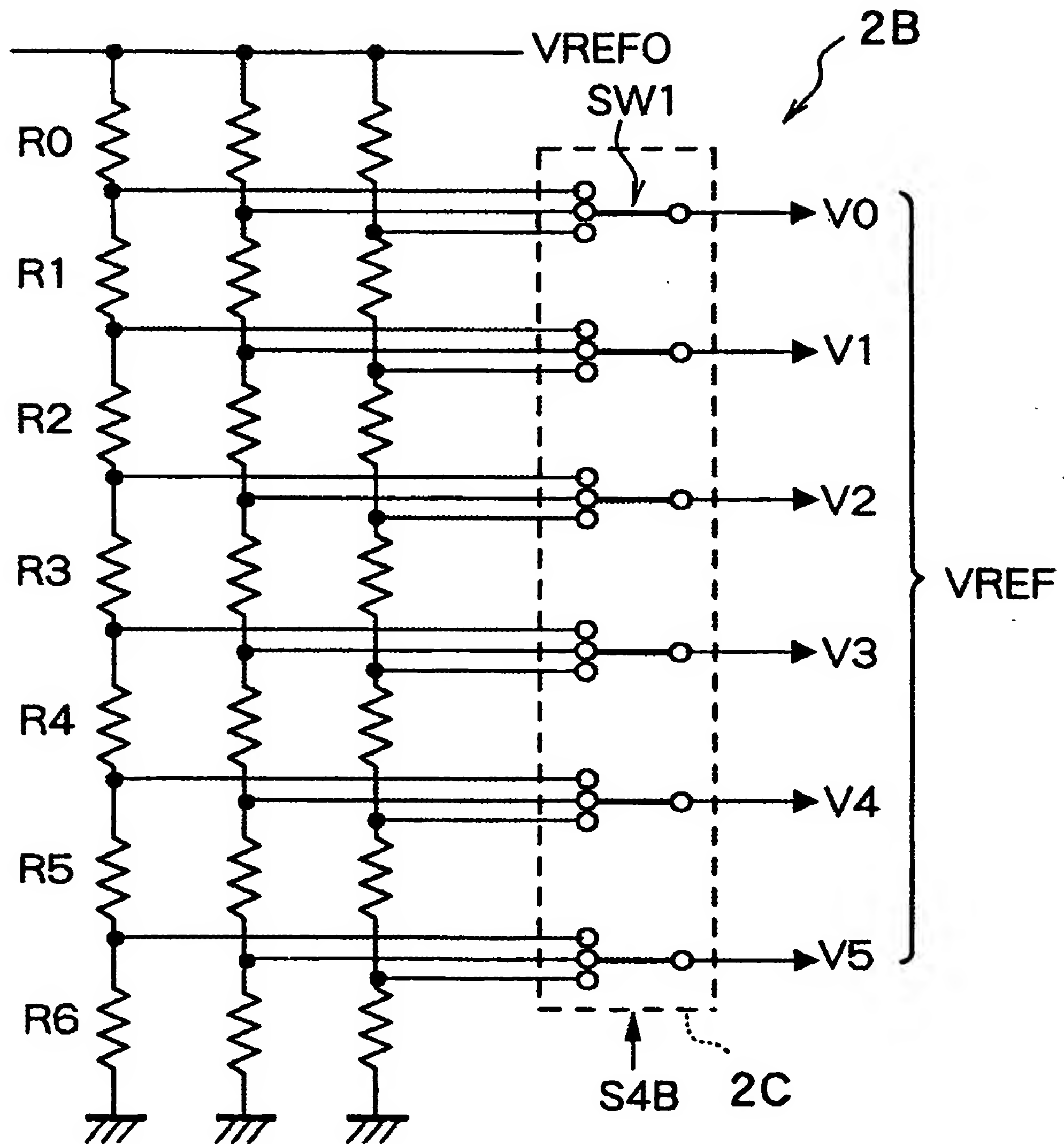


FIG. 6

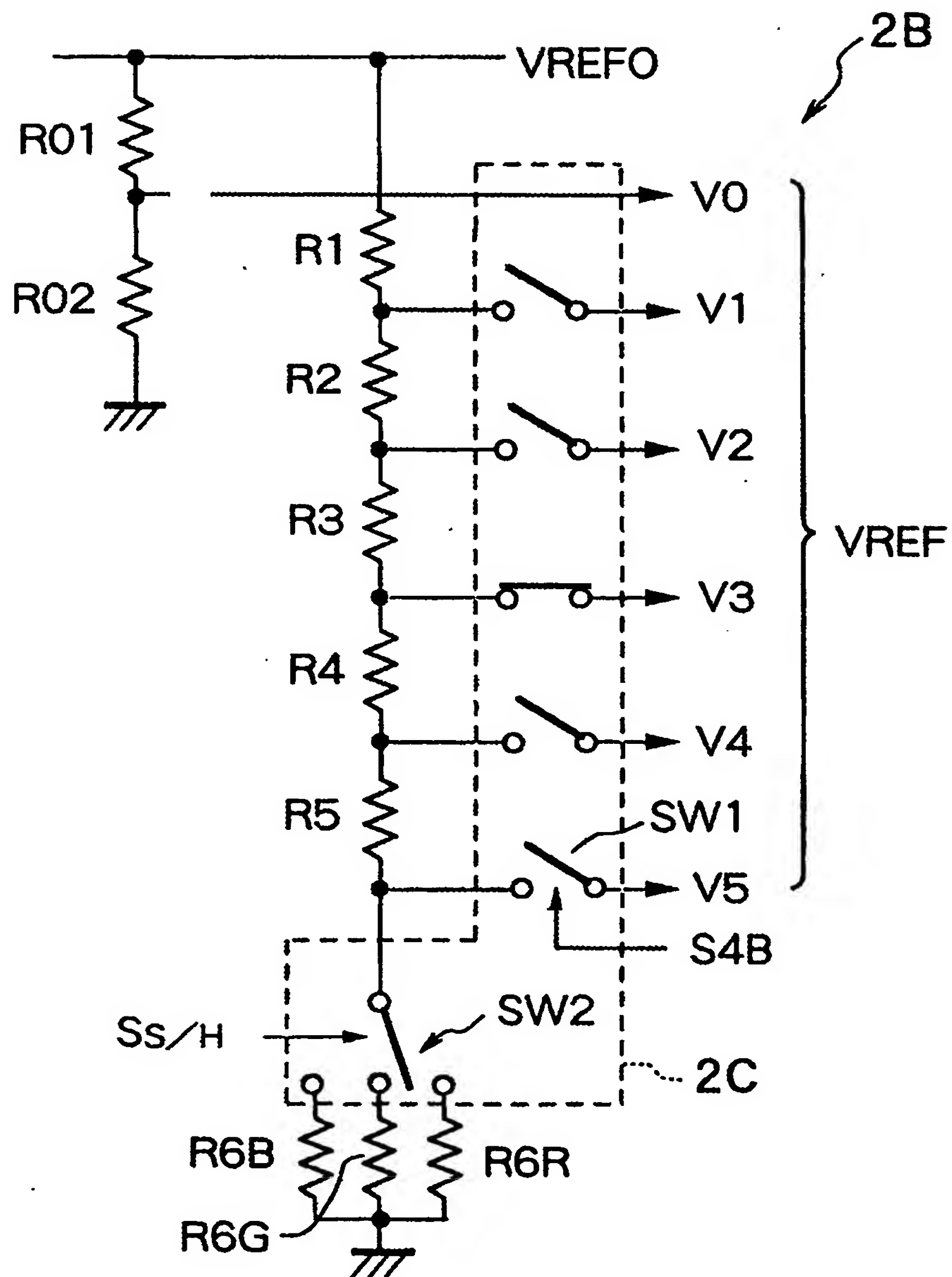


FIG. 7

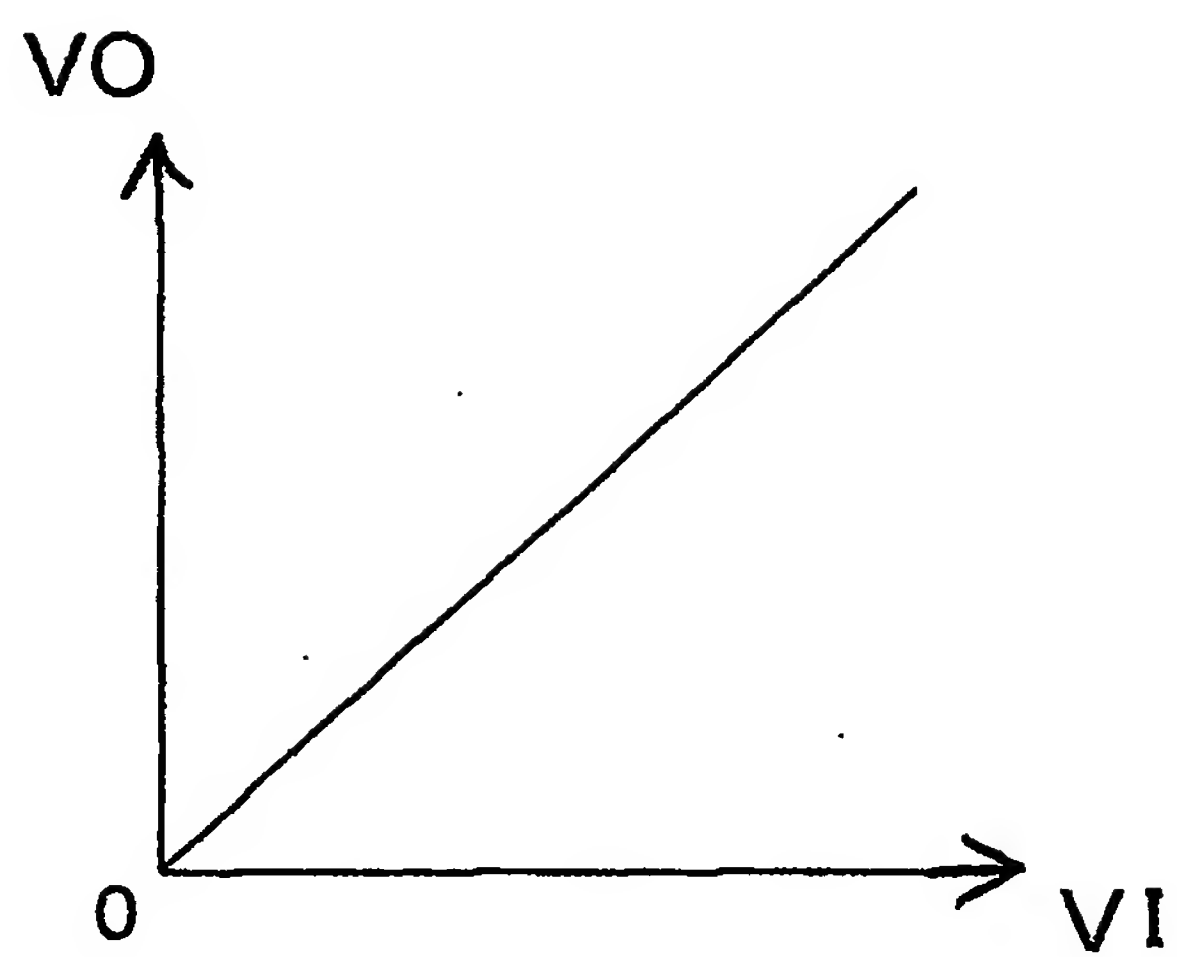


FIG. 8

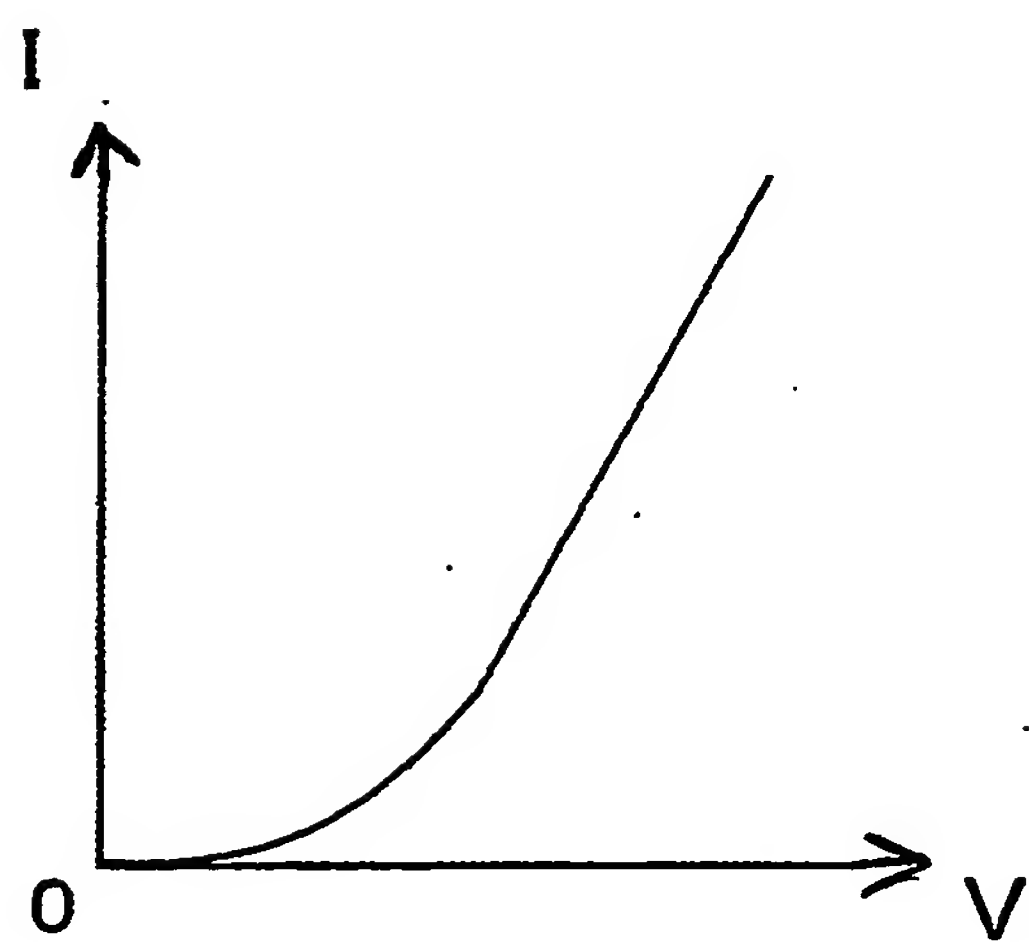


FIG. 9

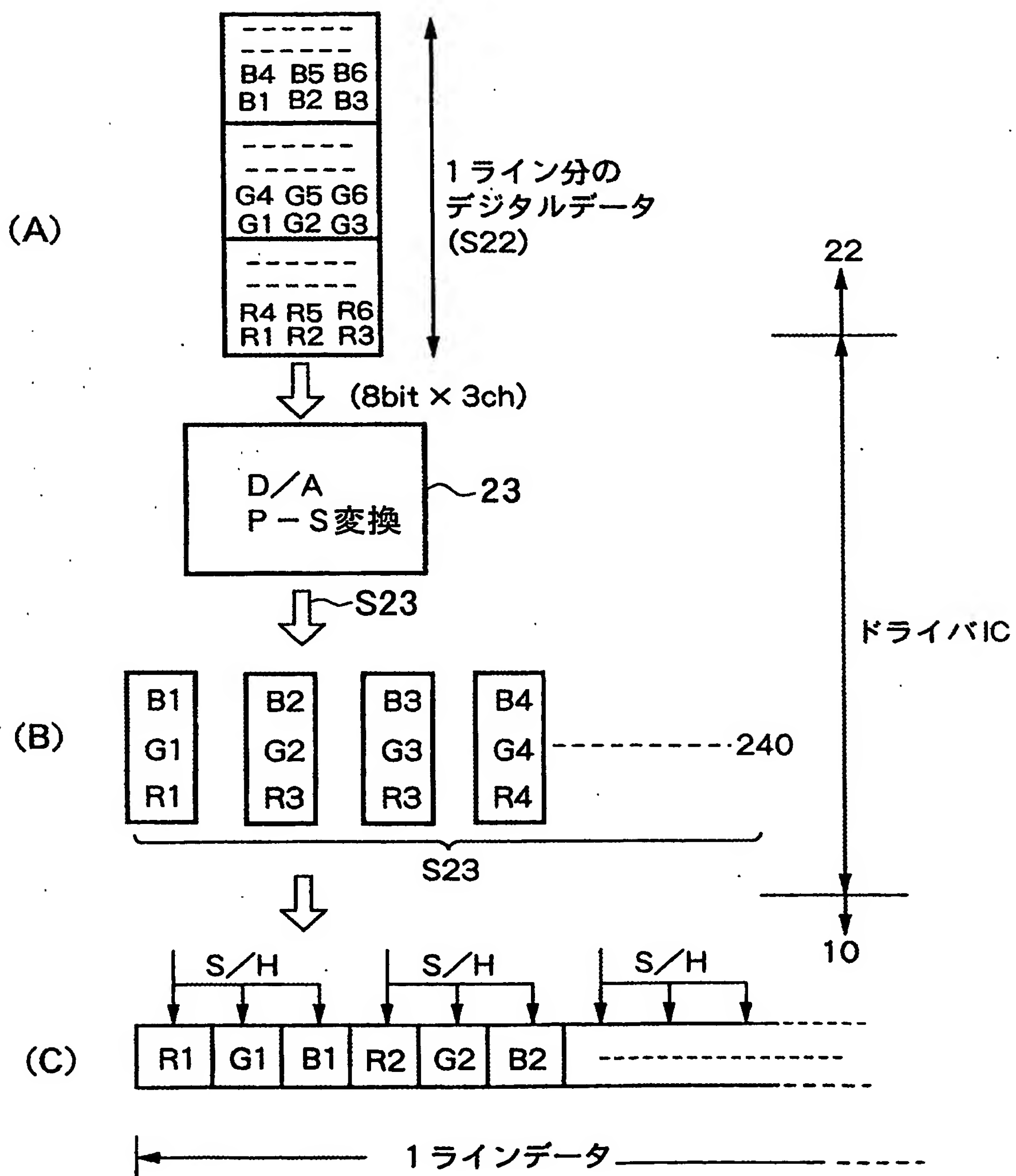


FIG. 10

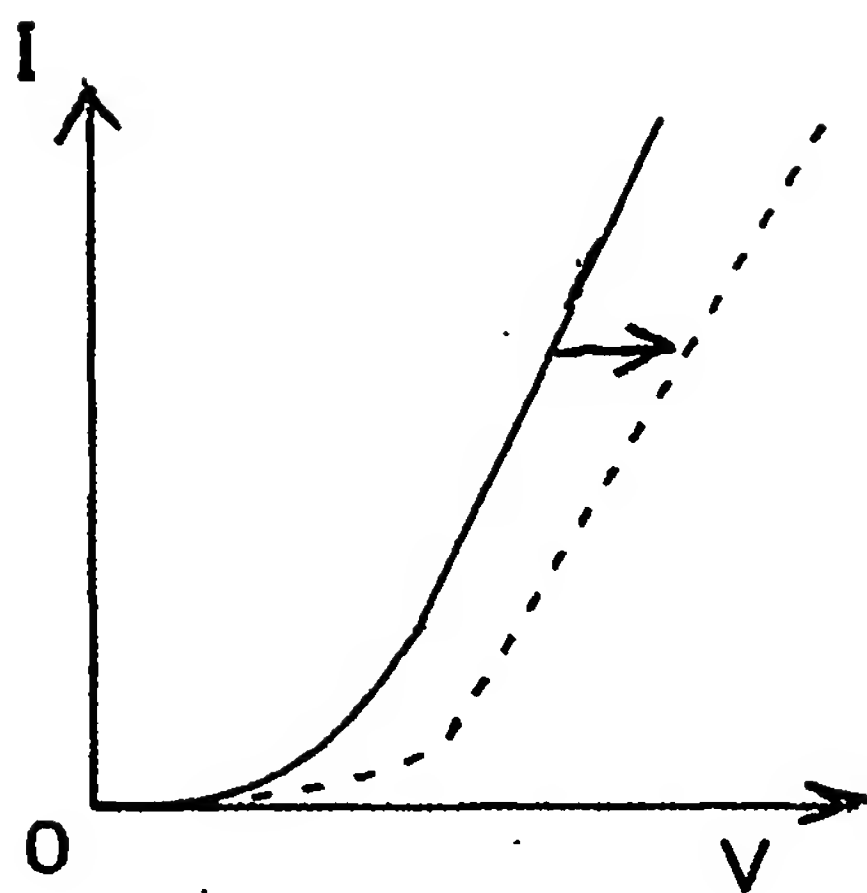


FIG. 11

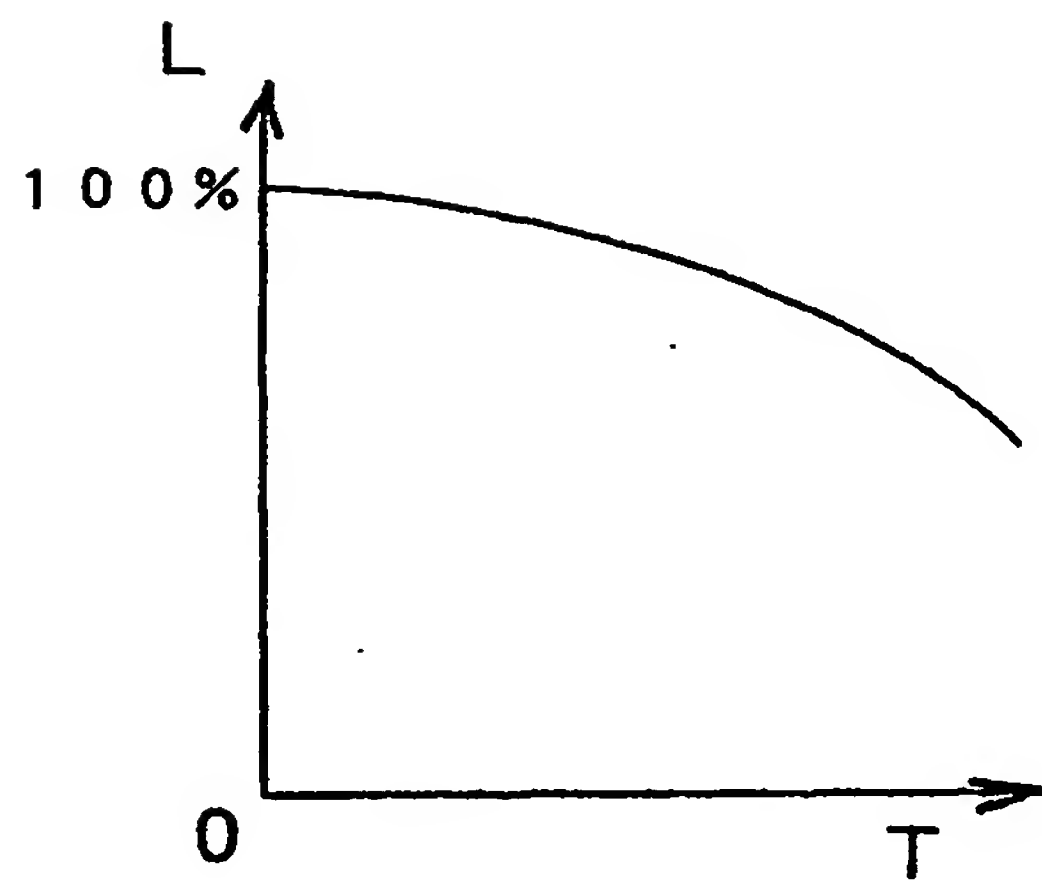
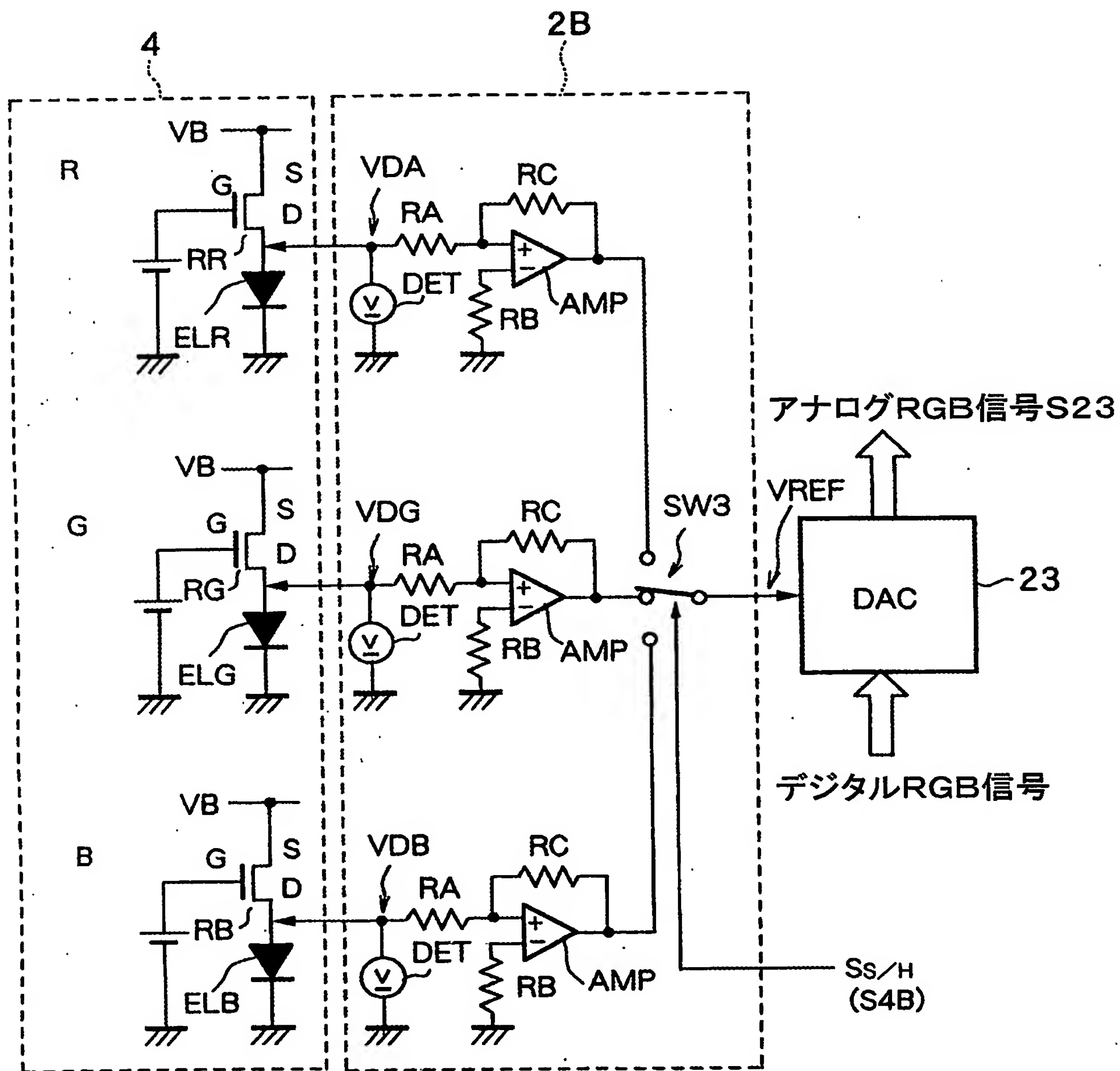
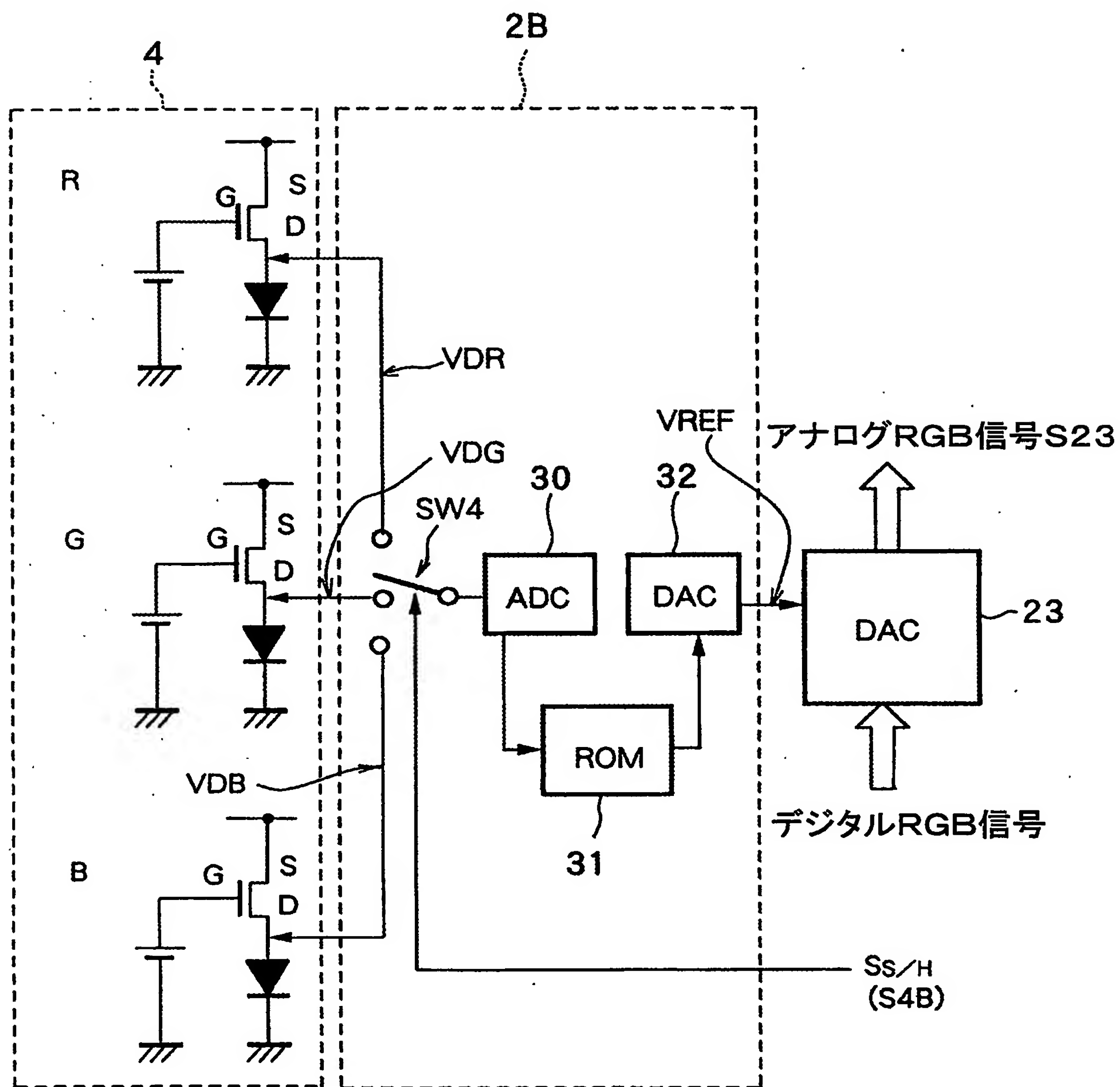


FIG. 12



2B: レベル調整回路
 4: 調整情報取得手段
 23: D/Aコンバータ

FIG. 13



2B: レベル調整回路
 4: 調整情報取得手段
 23: D/Aコンバータ

FIG. 14

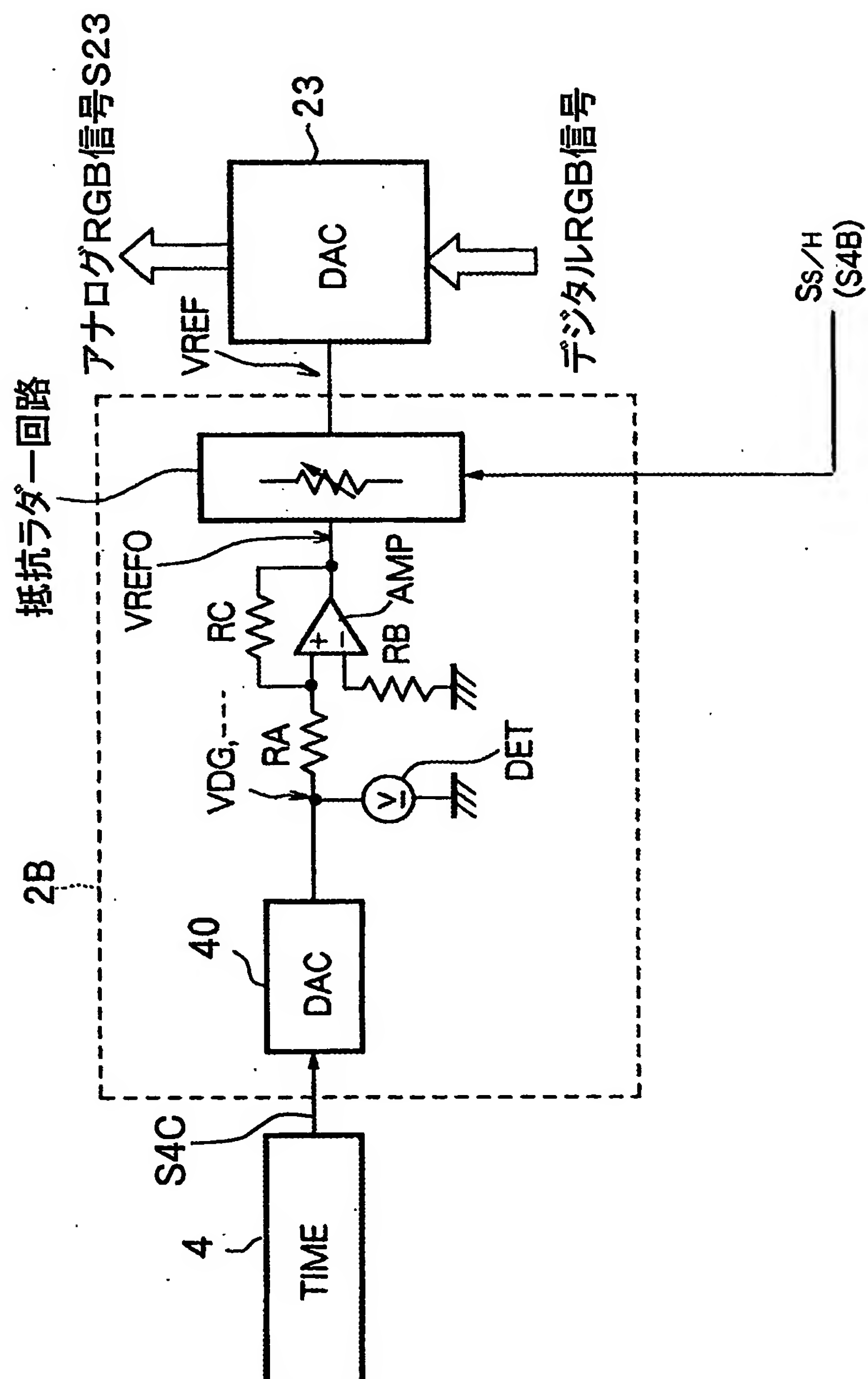


FIG. 15

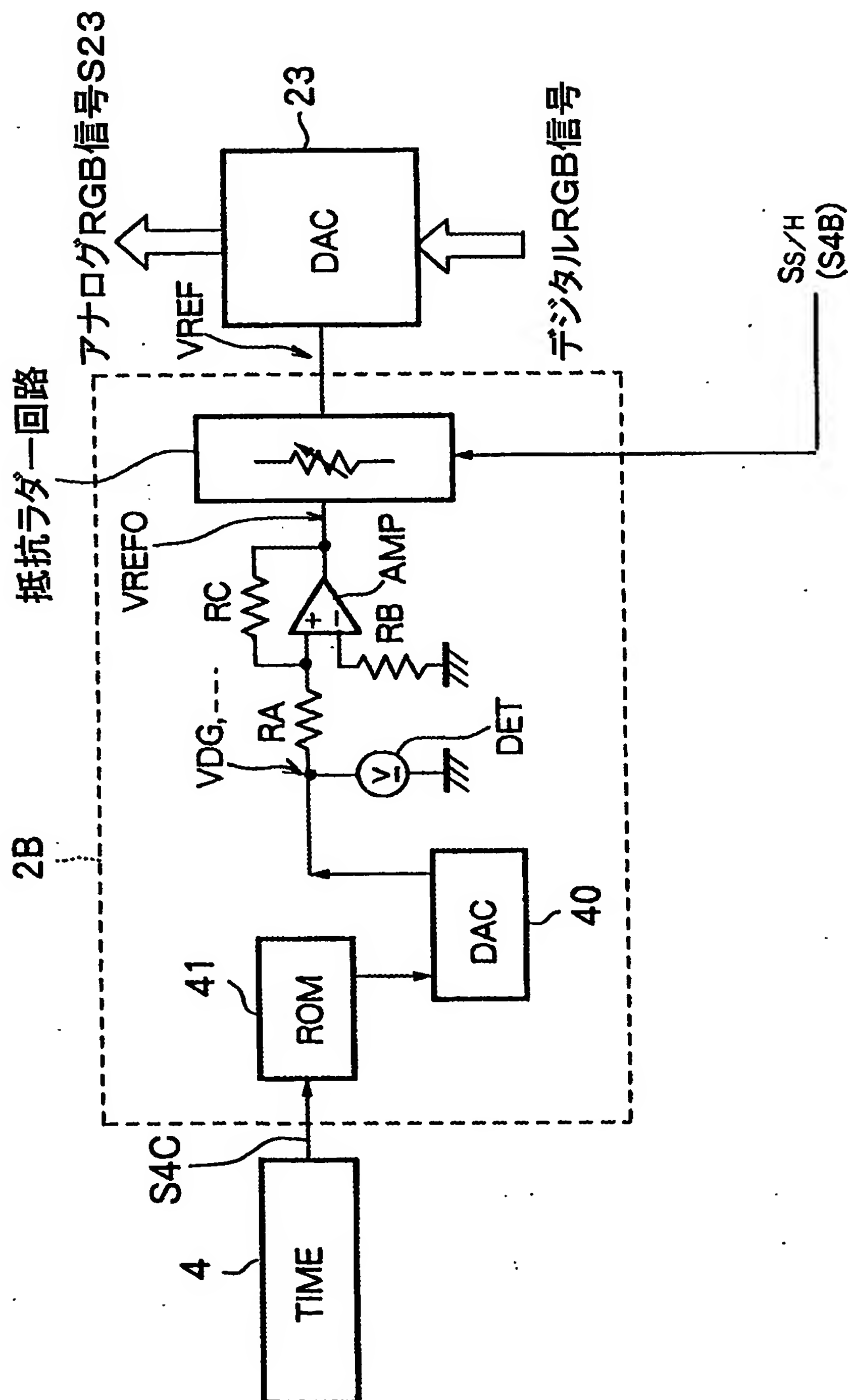


FIG. 16

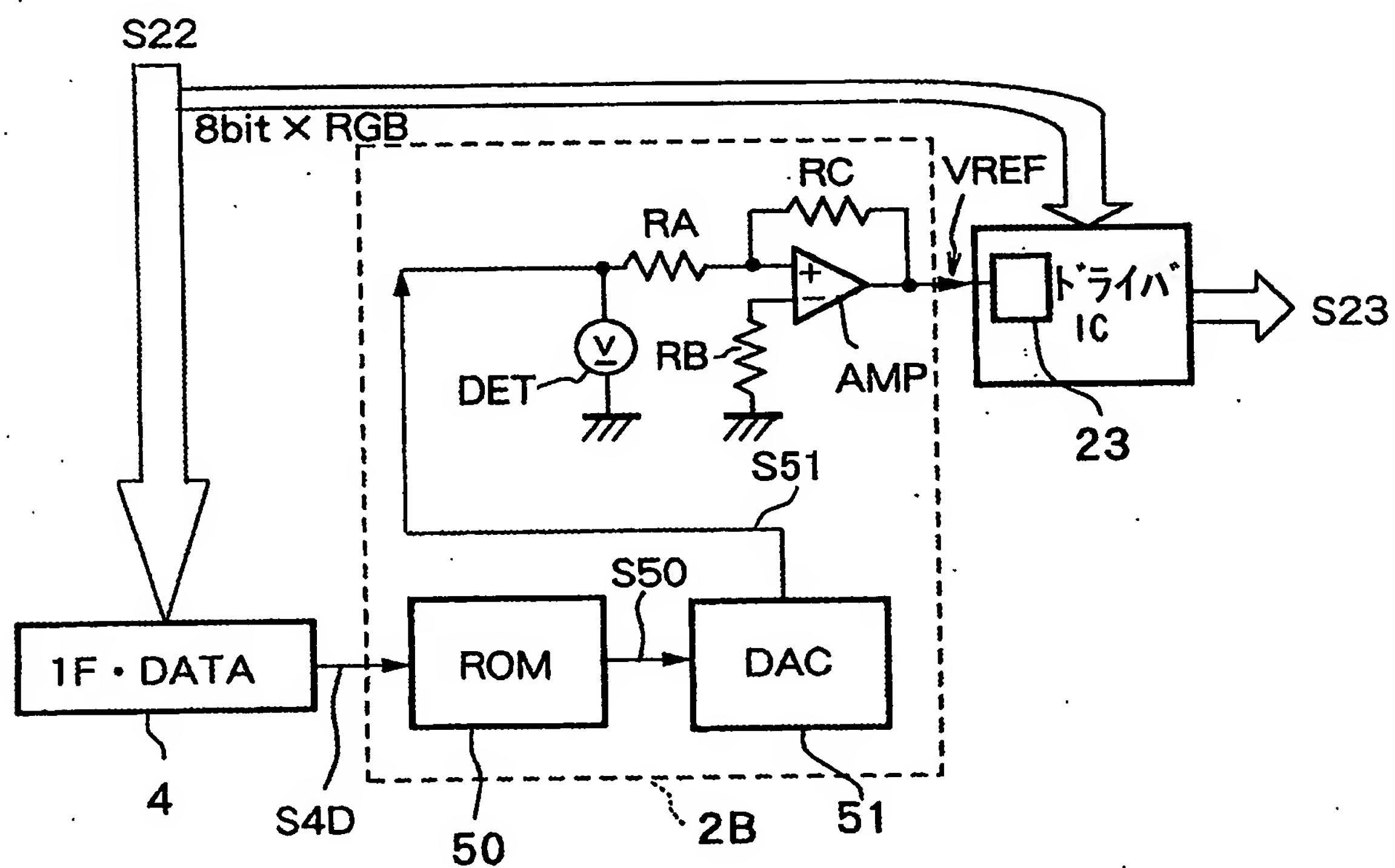


FIG. 17

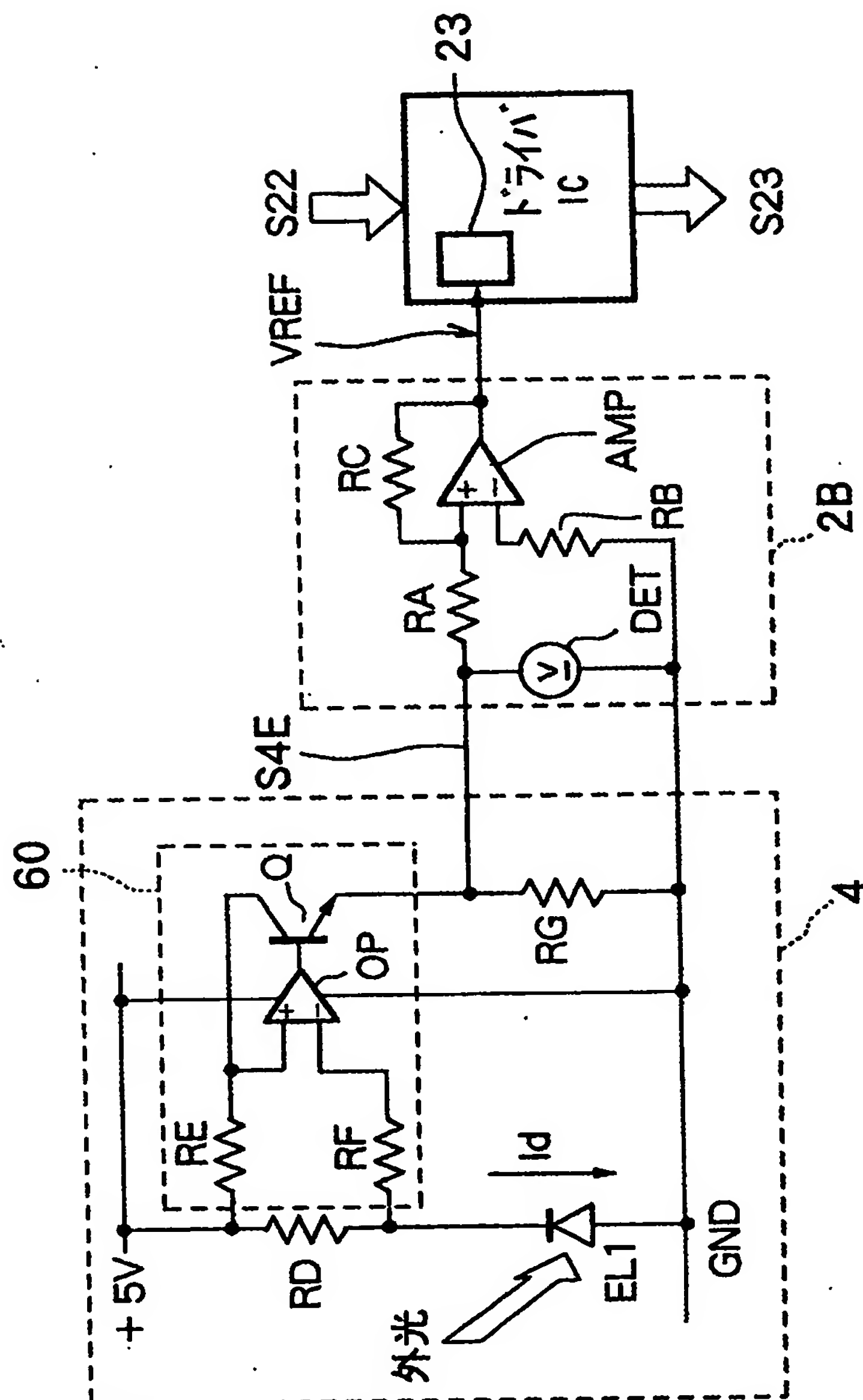


FIG. 18

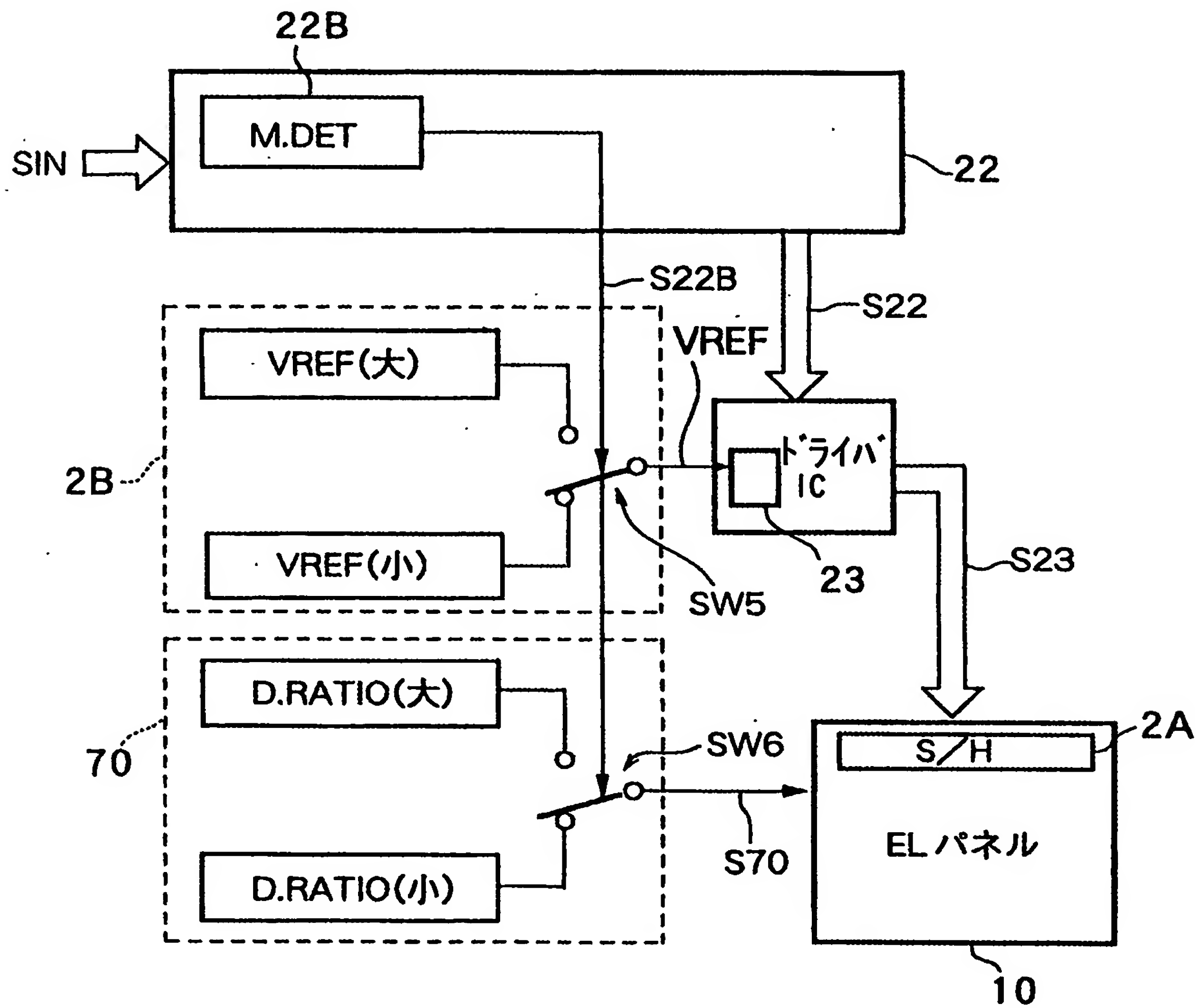
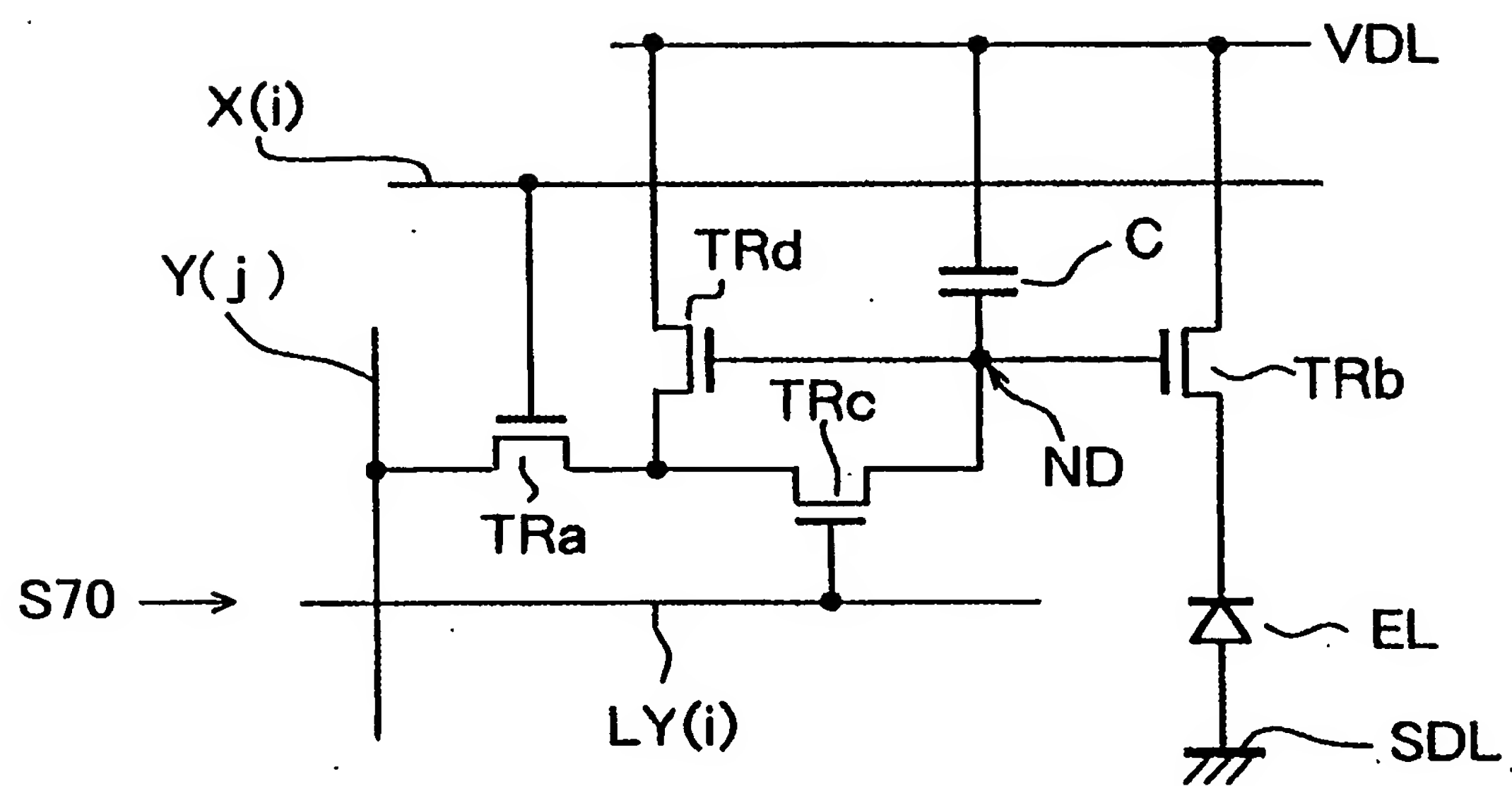


FIG. 19



符号の説明

- 1 : セルアレイ
- 1 a : 有効画面表示領域
- 2 : 画像信号から駆動信号を生成する回路
- 2 A : サンプルホールド回路
- 2 B : レベル調整回路
- 3 : Vスキャン回路
- 4 : 調整情報取得手段
- 1 0 : 有機ELパネル
- 2 1 : 信号送出回路
- 2 2 : 信号処理IC
- 2 2 a : CPU
- 2 2 B : 動き検出回路
- 2 3, 4 0, 5 1 : D/Aコンバータ
- 4 1, 5 0 : ROM
- 6 0 : 画素電流検出回路
- 7 0 : デューティ比調整回路

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13608

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, H05B33/12, 33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, 3/20, H05B33/12, 33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-100697 A (TDK Corp.), 13 April, 2001 (13.04.01), Par. Nos. [0054] to [0064]; Figs. 1 to 2 (Family: none)	1-9, 13-18
Y	JP 2002-221940 A (Seiko Epson Corp.), 09 August, 2002 (09.08.02), Par. Nos. [0060] to [0079]; Fig. 1 & US 2002/0097236 A1 & KR 2002062824 A	1-9, 13-18
Y	JP 2002-278514 A (Sharp Corp.), 27 September, 2002 (27.09.02), Par. No. [0083]; Fig. 1 (Family: none)	1-9, 13-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
11 December, 2003 (11.12.03)

Date of mailing of the international search report
24 December, 2003 (24.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/13608

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-175041 A (Semiconductor Energy Laboratory Co., Ltd.), 21 June, 2002 (21.06.02), Par. Nos. [0050] to [0061]; Fig. 1 & US 2002/0033783 A1	8, 17
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Par. Nos. [0030] to [0032]; Figs. 14 to 15 & EP 1061497 A1 & CN 1278635 A & KR 2001039666 A & TW 502233 A & US 6583775 B1	10-12, 19-22
Y	JP 2002-287700 A (Matsushita Electric Industrial Co., Ltd.), 04 October, 2002 (04.10.02), Par. Nos. [0110] to [0116]; Figs. 10 to 13 & WO 02/77959 A1 & US 2003/0142118 A1 & KR 2003046335 A	10-12, 19-22
P, A	JP 2003-263132 A (Matsushita Electric Industrial Co., Ltd.), 19 September, 2003 (19.09.03), Par. Nos. [0015] to [0022]; Fig. 1 (Family: none)	1-9, 13-18

国際調査報告

国際出願番号 PCT/JPO3/13608

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl¹ G09G3/30, 3/20, H05B33/12, 33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl¹ G09G3/30, 3/20, H05B33/12, 33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-100697 A (ティーディーケイ株式会社) 2001. 04. 13, 【0054】 ~ 【0064】, 【図1】 ~ 【図2】 (ファミリーなし)	1-9, 13-18
Y	JP 2002-221940 A (セイコーエプソン株式会社) 2002. 08. 09, 【0060】 ~ 【0079】, 【図1】 & US 2002/0097236 A1 & KR 2002062824 A	1-9, 13-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

11. 12. 03

国際調査報告の発送日

24.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-278514 A (シャープ株式会社) 2002. 09. 27, 【0083】, 【図1】 (ファミリーなし)	1-9, 13-18
Y	JP 2002-175041 A (株式会社半導体エネルギー研究所) 2002. 06. 21, 【0050】 ~ 【0061】, 【図1】 & US 2002/0033783 A1	8, 17
Y	JP 2001-60076 A (ソニー株式会社) 2001. 03. 06, 【0030】 ~ 【0032】, 【図14】 ~ 【図15】 & EP 1061497 A1 & CN 1278635 A & KR 2001039666 A & TW 502233 A & US 6583775 B1	10-12, 19-22
Y	JP 2002-287700 A (松下電器産業株式会社) 2002. 10. 04, 【0110】 ~ 【0116】, 【図10】 ~ 【図13】 & WO 02/77959 A1 & US 2003/0142118 A1 & KR 2003046335 A	10-12, 19-22
P, A	JP 2003-263132 A (松下電器産業株式会社) 2003. 09. 19, 【0015】 ~ 【0022】, 【図1】 (ファミリーなし)	1-9, 13-18